

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-175445

(43)Date of publication of application : 14.07.1995

(51)Int.Cl.

G09G 3/36

G02F 1/133

(21)Application number : 05-320074

(71)Applicant : HITACHI LTD  
HITACHI GAZO JOHO SYST:KK

(22)Date of filing : 20.12.1993

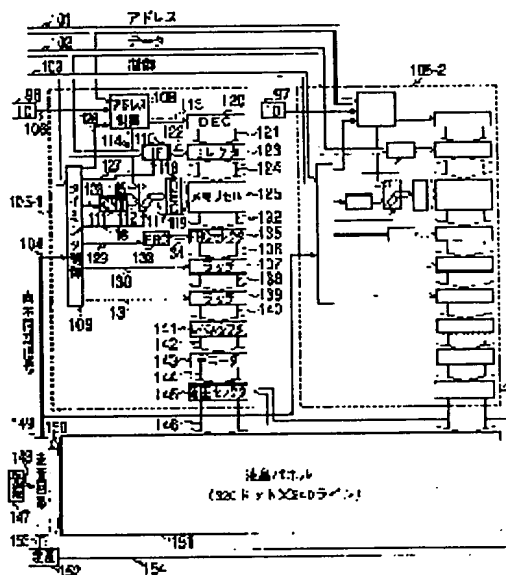
(72)Inventor : NITTA HIROYUKI  
FURUHASHI TSUTOMU  
IKEDA MAKIKO  
INUZUKA TATSUHIRO  
TSUNEKAWA SATORU

## (54) LIQUID CRYSTAL DRIVER BUILT-IN MEMORY AND LIQUID CRYSTAL DISPLAY

## (57)Abstract:

PURPOSE: To enhance the reduction in power consumption and to attain the high speed of plotting without deteriorating the operational efficiency of a system by incorporating a display memory capable of accessing by a general purpose memory interface in a liquid crystal driver generating liquid crystal applying voltage corresponding to display data.

CONSTITUTION: The liquid crystal driver 105 generating the liquid crystal applying voltage for a liquid crystal panel 151 is incorporated with a memory cell 125, and an address bus 101, a data bus 102 and a control signal bus 103 are provided at an interface with the system so that the data of an arbitrary position is easily updated through the general purpose memory interface and display data stored in the memory cell 125 are converted into the liquid crystal applying voltage and outputting it to the liquid crystal panel 151 to be displayed at the timing of a display synchronizing signal 104.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**


---

**[Claim]**

[Claim 1] The liquid crystal panel which has the pixel section arranged in the shape of a matrix in the intersection position of two or more data lines and two or more scanning lines, In the liquid crystal display possessing the scanning circuit which impresses a voltage to two or more aforementioned scanning lines one by one, and the liquid crystal driver which impresses the voltage corresponding to this indicative data to two or more aforementioned data lines in response to the indicative data from high order equipment The aforementioned scanning circuit has the circuit which generates the frame display synchronizing signal showing the frame period of a display, and the line display synchronizing signal showing the line period of a display. the aforementioned liquid crystal driver The display memory which stores the indicative data corresponding to the pixel section which it was accessed through the general-purpose memory interface, and was arranged in the shape of [ aforementioned ] a matrix, When the aforementioned high order equipment performs a read-out write-in control of an indicative data to this display memory, The address-conversion circuit which changes the address specified by the aforementioned high order equipment into the address of the aforementioned display memory, The read-out means which reads the indicative data on sequential one line of the aforementioned display memory synchronizing with the aforementioned line display synchronizing signal, it is this reading -- the output data which the concerned liquid crystal driver carried out has -- with the holding circuit which holds the indicative data of a segment simultaneously The circuit which changes and outputs the indicative data held at this holding circuit to the liquid crystal applied voltage of the aforementioned liquid crystal panel, The display action which outputs the aforementioned liquid crystal applied voltage to the aforementioned liquid crystal panel periodically based on the indicative data stored in the aforementioned display memory, The liquid crystal display characterized by having the timing-control circuit which arbitrates a read-out write-in operation of the indicative data to the aforementioned display memory from the aforementioned high order equipment performed to this display action and asynchronous.

[Claim 2] a means to latch the address which shows the X coordinate value by which the aforementioned liquid crystal driver is connected to an address bus, a data bus, and a control signal bus, and a multiplexer transfer is carried out from the above-mentioned address bus, and the address which shows a Y coordinate value -- having -- this -- the liquid crystal display of the claim 1 publication characterized by accessing the above-mentioned display memory by the address which changed the two addresses by the above-mentioned address-conversion circuit

[Claim 3] a means to latch the address which shows the X coordinate value which the aforementioned liquid crystal driver is connected to an address bus, a data bus, and a control signal bus, and is simultaneously transmitted from the above-mentioned address bus, and the address which shows a Y coordinate value -- having -- this -- the liquid crystal display of the claim 1 publication characterized by accessing the above-mentioned display memory by the address which changed the two addresses by the above-mentioned address-conversion circuit

[Claim 4] It is the liquid crystal display of the claim 1 publication which has two steps of aforementioned holding circuits in the aforementioned liquid crystal driver, and is characterized by controlling the aforementioned timing-control circuit to perform a hold operation to the timing

which is different in the two aforementioned steps of holding circuits.

[Claim 5] It is the liquid crystal display of the claim 4 publication characterized by usually passing along a hold operation of a latter holding circuit, performing it among the two aforementioned steps of holding circuits, and delaying a hold operation of the holding circuit of the preceding paragraph until the aforementioned write-in operation is completed when the aforementioned timing-control circuit detects the contention with the aforementioned display action and the aforementioned read-out write-in operation.

[Claim 6] It is a liquid crystal display the claim 1 which the holding circuit of the preceding paragraph is a level latch circuit among the two aforementioned steps of holding circuits, and is characterized by a latter holding circuit being an edge latch circuit, or given in five.

[Claim 7] The aforementioned liquid crystal driver is constituted combining the liquid crystal driver element of two or more same configurations which corresponds to a part of screen size of the aforementioned liquid crystal panel, respectively. each aforementioned liquid crystal driver element By judging whether it is the address to which the address which receives liquid crystal driver ID which shows the arrangement position of self from the exterior, and is given from the above-mentioned high order equipment based on this liquid crystal driver ID accesses self It has a selection means to generate the selection signal of the display memory in the concerned liquid crystal driver element. the aforementioned address-conversion circuit in each liquid crystal driver element Have the function to change the address given from the above-mentioned high order equipment from the aforementioned exterior based on given liquid crystal driver ID of self into the address of the above-mentioned display memory of self, and when the aforementioned selection signal is effective, each liquid crystal driver element The claims 1, 2, 3, and 4 characterized by accessing the display memory of self by the above-mentioned translated address, or a liquid crystal display given in five.

[Claim 8] The liquid crystal display of the claim 7 publication characterized by having two or more liquid crystal driver ID occurrence meanses to generate liquid crystal driver ID beforehand defined according to the arrangement position in combination arrangement of two or more liquid crystal driver elements corresponding to the whole screen of the aforementioned liquid crystal panel.

[Claim 9] It is a liquid crystal display the claim 7 which the address from the aforementioned high order equipment is the address different to each of two or more above-mentioned liquid crystal driver elements, and is characterized by the address after the above-mentioned conversion being the same address to the above of each, or given in eight.

[Claim 10] The display memory in the aforementioned liquid crystal driver is the liquid crystal display of the claim 1 publication characterized by having a means to output the different data corresponding to the liquid crystal applied voltage which stored 1 pixel of two or more indicative datas of a bit, and was read from the above-mentioned display memory, and which is different every two or more frames to a specific combination of the value of a bit 1 pixel.

[Claim 11] The display memory in the aforementioned liquid crystal driver is the liquid crystal display of the claim 1 publication characterized by having the means which stored 1 pixel of two or more indicative datas of a bit, and was read from the above-mentioned display memory, and to which 1 pixel of two or more output time width of face of liquid crystal applied voltage is changed to a specific combination of the value of a bit.

[Claim 12] The display memory in the aforementioned liquid crystal driver is a liquid crystal display given in either of the one to claim 11 publications characterized by being a static RAM.

[Claim 13] The claims 2, 3, and 10 characterized by storing the indicative data for two or more pixels which follow horizontally the storage location of the aforementioned display memory specified by the address which shows the aforementioned X coordinate value, and the address which shows a Y coordinate value on the display screen, or a liquid crystal display given in 11.

[Claim 14] The read-out means of the aforementioned liquid crystal driver is a liquid crystal display the claim 1 characterized by reading the indicative data on sequential level one line of the aforementioned display memory synchronizing with [ when the aforementioned liquid crystal driver is arranged at the X-axis side of the aforementioned display panel ] the aforementioned line display synchronizing signal, or given in 13.

[Claim 15] the liquid crystal display of the claim 13 publication characterized by having the selection circuitry which chooses 1-pixel data [ inside / aforementioned pixels / of each storage location which the read-out means of the aforementioned liquid crystal driver reads the indicative data on the sequential perpendicular of one line of the aforementioned display memory synchronizing with the aforementioned line display synchronizing signal, and is simultaneous / this / alike and is read further / two or more ] / different one by one when the aforementioned liquid crystal driver is arranged at the Y-axis side of the aforementioned display panel

[Claim 16] It is used for the intersection position of two or more data lines and two or more scanning lines with the liquid crystal panel which has the pixel section arranged in the shape of a matrix. In the liquid crystal driver which impresses the voltage corresponding to this indicative data to two or more aforementioned data lines in response to the indicative data from high order equipment The display memory which stores the indicative data corresponding to the pixel section which it was accessed through the general-purpose memory interface, and was arranged in the shape of [ aforementioned ] a matrix, When the aforementioned high order equipment performs a read-out write-in control of an indicative data to this display memory, The address-conversion circuit which changes the address specified by the aforementioned high order equipment into the address of the aforementioned display memory, The read-out means which reads the indicative data on sequential one line of the aforementioned display memory synchronizing with the aforementioned line display synchronizing signal, it is this reading -- the output data which the concerned liquid crystal driver carried out has -- with the holding circuit which holds the indicative data of a segment simultaneously The circuit which changes and outputs the indicative data held at this holding circuit to the liquid crystal applied voltage of the aforementioned liquid crystal panel, The display action which outputs the aforementioned liquid crystal applied voltage to the aforementioned liquid crystal panel periodically based on the indicative data stored in the aforementioned display memory, The liquid crystal driver with built-in memory characterized by building in the timing-control circuit which arbitrates a read-out write-in operation of the indicative data to the aforementioned display memory from the aforementioned high order equipment performed to this display action and asynchronous.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed description]

[0001]

[Field of the Invention] This invention relates to the liquid crystal display which used the liquid crystal driver which built in memory, and the liquid crystal driver with built-in memory.

[0002]

[Prior art] The conventional liquid crystal display was constituted using liquid crystal driver HD66107 indicated from P274 of the Hitachi LCD driver data book (the Hitachi, Ltd. semiconductor enterprise headquarters issue) to P292. Such a conventional liquid crystal display is explained from drawing 2 using drawing 5.

[0003] Drawing 2 is the block diagram of the conventional liquid crystal display.

[0004] In drawing 2, 201 is a control signal bus to which a control signal is transmitted, and 202 is a data bus which transmits an indicative data. 203-1 and 203-2 are liquid crystal drivers, respectively. In this example, two in all liquid crystal drivers are used for the width of face of the orientation of X (level) of a liquid crystal panel 219. The liquid crystal driver 203-1 and 203-2 are named generically, and it is called the liquid crystal driver 203 (suppose hereafter that it is the same about other reference numbers). The timing-control circuit where 204 controls an operation of the liquid crystal driver 203, and 205 are shift registers which generate the signal which latches the indicative data transmitted by the data bus 202. The latch which incorporates simultaneously the signal line which transmits the latch clock with which 206 is outputted from a shift register 205, the latch whose 207 incorporates an indicative data one by one, the data bus which transmits the data with which latch 207 outputs 208, and the data with which a data bus 208 transmits 209, and 210 are data buses which transmit the data which latch 209 outputs. 211 is a level shifter and shifts to the voltage level corresponding to liquid crystal applied voltage the indicative data transmitted by the data bus 210. The data bus which transmits the data with which the level shift of 212 was carried out, and 213 are voltage selectors. 214 is an output voltage line which transmits the liquid crystal applied voltage chosen according to the indicative data transmitted through a data bus 212 by the voltage selector 213. 215 is CL2 clock which controls a shift register 205, and 216 is CL1 clock which incorporates data to latch 209. 217 is a scanning circuit and chooses the line which displays. The scanning signal line which transmits the scanning signal with which 218 is generated by the scanning circuit 217, and 219 are liquid crystal panels. It is the driver-voltage line which transmits a power circuit and the driver voltage to which 220 drives 221 and 222 drive a scanning circuit 217 and the liquid crystal driver 203 respectively.

[0005] Drawing 3 is the system configuration view of the personal computer using the liquid crystal display indicated to drawing 2.

[0006] In drawing 3, the address bus to which in 301 CPU and 302 transmit main memory and 303 transmits the address, the data bus to which 304 transmits data, and 305 are control signal buses to which a control signal is transmitted. It is the display memory 306 remembers a display controller and 307 remembers an indicative data to be. 308 is a timing-control circuit, 309 is a timing signal, and the signal for accessing display memory 307 and the signal for operating the liquid crystal driver 208 are included. 310 is a selection signal which switches the display address

and the drawing address. 311 is a controller and generates the timing signal transmitted to the signal bus 312, and the address transmitted to the display address bus 313. The address bus which transmits the address for the selector as which 314 chooses the display address and the drawing address, and 315 accessing the display memory 307 chosen by the selector 314, and 316 are data buffers. 317 is a data bus which transmits the data for accessing display memory 307, and 318 is a data bus which transmits the indicative data for liquid crystal displays.

[0007] Drawing 4 is a timing chart which shows an access of display memory 307 in the system shown in drawing 3.

[0008] Drawing 5 is a timing chart which shows an operation of the liquid crystal driver 203.

[0009] The liquid crystal display when using the conventional liquid crystal driver again using drawing 2 is explained.

[0010] The control signal transmitted through the signal bus 201 is inputted into the timing-control circuit 204 of the liquid crystal driver 203. CL2 generated clock 215 is transmitted to a shift register 205, and a shift register 205 generates a latch clock and outputs it to a signal line 206. On the other hand, the indicative data transmitted to a driver 203 through a data bus 202 is latched to latch 207 one by one with the latch clock transmitted through a signal line 206. The indicative data latched to the latch 207 is simultaneously memorized by latch 209 with CL1 clock 216 through a data bus 208. This operation is shown in drawing 5. Moreover, the indicative data outputted from the latch 209 with CL1 clock 216 is inputted into a level shifter 211 through a data bus 210, and is changed into the voltage level corresponding to liquid crystal applied voltage. The indicative data by which the level shift was carried out is transmitted to the voltage selector 213 through a data bus 212, and chooses liquid crystal applied voltage. The selected liquid crystal applied voltage is supplied to a liquid crystal panel 219 through the output voltage line 214.

[0011] Thus, the conventional liquid crystal driver latches an indicative data, and has only the function changed and outputted to liquid crystal applied voltage. The system using the liquid crystal display driven by the conventional liquid crystal driver 203 is explained still in detail about this point using drawing 3.

[0012] It is necessary to transmit an indicative data to a liquid crystal display a fixed period in this system. Then, the display memory 307 which memorizes an indicative data by one screen is needed, an indicative data is read from display memory 307, and a means to output to a liquid crystal display, and a means to update the indicative data memorized to display memory 307 are needed. To display memory 307, since the address bus 315 of display memory 307, the data bus 317, and the control signal 309 have only one line, as shown in drawing 4, an indicative data is read and it is necessary to perform the display access for outputting to a liquid crystal display, and the drawing access which updates an indicative data by time sharing. Therefore, this system is constituted as follows.

[0013] The address bus 313 which transmits the address for a display access, and the address bus 303 which transmits the address for a drawing access are switched by the selector 314, and, as for the address bus 315, the address of a display or drawing is transmitted. This switch control is performed in the timing-control circuit 308. While the control signal from CPU301 is inputted through the control signal bus 305, the control signal from a controller 311 is inputted into the timing-control circuit 308 through the control signal bus 312. The Arbitration control which determines whether to perform a drawing access for whether these two control signals perform a display access to display memory 307 is made. Moreover, in a display access, the data on a data bus 317 are similarly transmitted to a data bus 318 through a buffer 316 about a data bus 317, and, in a drawing access, the data of a data bus 304 are transmitted to a data bus 317 through a buffer 316.

[0014] By the way, the liquid crystal driver with built-in memory which built memory in the interior of a liquid crystal driver is indicated from P293 of the Hitachi LCD driver data book (the Hitachi, Ltd. semiconductor enterprise headquarters issue) to P335.

[0015] Next, the liquid crystal display system using such a driver with built-in memory is explained using the block diagram of drawing 6.

[0016] As for a liquid crystal driver and 602, in drawing 6, 601 is [ a data bus and 603 ] control



signals. The data bus to which in an address register and 605 an X coordinate value register and 606 output a Y coordinate value register, and 607 outputs [ 604 ] an X coordinate value, and 608 are data buses which output a Y coordinate value. As for an X coordinate value decoder and 610, 609 is [ a Y coordinate value decoder and 611 ] X coordinate value decoding signals. The I/O Port by which 612 controls I/O of an indicative data, the data bus to which 613 transmits an indicative data, and 614 are Y coordinate value decoding signals. 615 is a memory cell (static RAM) and a data bus to which 616 transmits the data for a display. It is the output voltage line by which the data bus which transmits the indicative data to which a latch outputs 617 and latch 617 outputs 618, the data bus to which 619 transmits a level shifter and the data with which the level shift of 620 was carried out, and 621 transmit a voltage selector, and 622 transmits liquid crystal applied voltage. 623 is a timing-control circuit.

[0017] Next, an operation of the liquid crystal driver 601 is explained.

[0018] Since the liquid crystal driver 601 serves as I/O interface, it accesses the register of the address which set up the address of the register which accesses an address register 604 through the data bus 602, and was set as this address register 604 through a data bus 602. Therefore, a drawing access of display memory becomes as follows. First, the X coordinate value data which set the address of the X coordinate value register 605 as an address register 604, next draw through a data bus 602 according to this address are set as the X coordinate value register 605. Next, the address of the Y coordinate value register 606 is set as an address register 604, and the Y coordinate value data which draw through a data bus 602 according to this address are set as the Y coordinate value register 606. Next, the data of the arbitrary positions in a memory cell 615 can be updated by accessing I/O Port 612. After the data memorized by the memory cell 615 read the data for the data line of each liquid crystal driver 601 and memorize them to latch 617 by the timing-control circuit 623, voltage conversion is made by the level shifter 619, and they choose and output liquid crystal applied voltage by the voltage selector 621. By performing the read-out control from this memory cell 615 for every 1 level term, it can display on a liquid crystal panel 219.

[0019] Thus, the update of data of the arbitrary positions of a memory cell 615 is attained by setting up the data of each register of the liquid crystal driver 601.

[0020]

[Object of the Invention] According to the 1st conventional example, the liquid crystal driver showed by changing into liquid crystal applied voltage and outputting to a liquid crystal panel, after always incorporating the indicative data made serial and completing incorporation of the indicative data for 1 level line. Therefore, a means to transmit the indicative data made serial to a liquid crystal driver was needed. Since the indicative data for one frame is memorized by display memory, when the resolution of 70Hz of frame frequency and a liquid crystal panel is the vertical-lines number of 240 lines, and 320 dots of level dot numbers and the operating condition of a liquid crystal panel makes a liquid crystal driver and data bus width of face of display memory a 8 bit bus in the 1st conventional example, it is about  $0.7\text{MHz} (=70(\text{Hz}) \times 240(\text{line}) \times 320(\text{dot}) / 8(\text{bit}))$ .

8 bit data always had to be periodically read from display memory.

[0021] therefore -- even if a display controller, display memory, and a liquid crystal driver must operate in a cycle of about 0.7MHz and the display screen is a static image -- this operation -- \*\* frame \*\*\*\*\* -- it had become things

[0022] This frequency of operation needed to be reduced, without reducing the luminous efficacy of a system of operation, since power consumption increased in proportion to this frequency of operation, in order to have attained low-power-ization of a liquid crystal display and a system.

[0023] Moreover, in the 1st conventional example, as for display memory, the display access and the drawing access were performed to time sharing. Since a display access had priority, a drawing access needs to apply and perform the interval of a display access, and access processing speed was restrained by the display access to perform drawing processing at high speed.

[0024] Furthermore, in the 2nd conventional example, when performing a display access to display memory, "Busy" gives to CPU and weight is applied. In fact, "Busy" bit is in an address

register 604, and when CPU leads this (busy check), mediation of both accesses is performed. Thereby, when the display access and drawing access to display memory compete, a drawing access serves as a low speed. Moreover, since the update of an indicative data was attained as mentioned above behind at four register data setup when updating the indicative data of an arbitrary position, the drawing access took time and it became the factor which reduces the luminous efficacy of a system of operation.

[0025] Moreover, in the 2nd conventional example, neither the consideration to a gradation display nor the consideration in the case of preparing a liquid crystal driver in the Y-axis side of a liquid crystal panel was made.

[0026] Without reducing the luminous efficacy of a system of operation, the purpose of this invention reduces the frequency of operation of a liquid crystal driver, and is shown in attaining low-power-ization.

[0027] Other purposes of this invention are preparing the function with consideration to user-friendliness, such as a function prepared in implementation of a multi-gradation display, and Y shaft orientations of a liquid crystal panel, in a liquid crystal driver.

[0028]

[The means for solving a technical problem] The liquid crystal panel which has the pixel section by which the liquid crystal display by this invention was arranged in the shape of a matrix in the intersection position of two or more data lines and two or more scanning lines. In the liquid crystal display possessing the scanning circuit which impresses a voltage to two or more aforementioned scanning lines one by one, and the liquid crystal driver which impresses the voltage corresponding to this indicative data to two or more aforementioned data lines in response to the indicative data from high order equipment. The aforementioned scanning circuit has the circuit which generates the frame display synchronizing signal showing the frame period of a display, and the line display synchronizing signal showing the line period of a display. the aforementioned liquid crystal driver. The display memory which stores the indicative data corresponding to the pixel section which it was accessed through the general-purpose memory interface, and was arranged in the shape of [ aforementioned ] a matrix. When the aforementioned high order equipment performs a read-out write-in control of an indicative data to this display memory, The address-conversion circuit which changes the address specified by the aforementioned high order equipment into the address of the aforementioned display memory. The read-out means which reads the indicative data on sequential one line of the aforementioned display memory synchronizing with the aforementioned line display synchronizing signal, it is this reading -- the output data which the concerned liquid crystal driver carried out has -- with the holding circuit which holds the indicative data of a segment simultaneously. The circuit which changes and outputs the indicative data held at this holding circuit to the liquid crystal applied voltage of the aforementioned liquid crystal panel. The display action which outputs the aforementioned liquid crystal applied voltage to the aforementioned liquid crystal panel periodically based on the indicative data stored in the aforementioned display memory. It has the timing-control circuit which arbitrates a read-out write-in operation of the indicative data to the aforementioned display memory from the aforementioned high order equipment performed to this display action and asynchronous.

[0029]

[Operation] fast transmission of the periodic indicative data which minded CPU bus since the liquid crystal driver of this invention built in display memory -- being unnecessary -- it becomes and a frequency of operation can be reduced (it ends with one display access in 1 level term) -- it is -- low-power-ization can be attained. And since the liquid crystal driver of this invention can be accessed through a general-purpose memory interface, from CPU, it can access the liquid crystal driver itself as general-purpose memory, and can raise a writing speed compared with the access by the conventional I/O interface.

[0030] Moreover, by adoption of an address-conversion circuit which changes the address (CPU address) specified by the system into the address of built-in display memory, CPU address can be made into the address which combined the orientation address of X and the orientation address of Y of the display screen of a liquid crystal panel, and the address calculation at the

time of drawing becomes easy.

[0031] This address-conversion circuit is effective when the liquid crystal driver of a larger size is constituted combining the liquid crystal driver element of the same configuration. That is, in response to liquid crystal driver ID which shows the arrangement position of self supplied, it is convertible for the address of the built-in display memory of self from the exterior according to the arrangement position. Two or more of these liquid crystal driver elements put together are visible to a single liquid crystal driver and single equivalence from CPU with this configuration.

[0032] Furthermore, let the drawing access in an arbitration time be an execute permission by adoption of two steps of holding circuits (latch circuit) holding the read-out data at the time of a display of display memory, without checking a display access.

[0033] At the time of drawing from CPU, the thing which is located in a line with the horizontal direction of a display panel like the case where it has been arranged at the X-axis side and for which two or more pixels are accessed simultaneously becomes possible by establishing a selection means to choose 1 pixel which is different one by one the inside for two or more pixels on the same address read simultaneous in case it is outputted to a liquid crystal panel from display memory, when arranging a liquid crystal driver to the Y-axis side of a liquid crystal panel, in a liquid crystal driver.

[0034]

[Example] Hereafter, the example of this invention is explained in detail.

[0035] First, the 1st example of the liquid crystal driver by this invention is explained from drawing 1 and drawing 7 using drawing 22.

[0036] Drawing 1 shows the configuration of the liquid crystal display which used this liquid crystal driver.

[0037] In drawing 1, the address bus to which 101 transmits the address, the data bus to which 102 transmits an indicative data, the control signal bus to which 103 transmits a control signal, and 104 are the display synchronizing signals generated by the scanning circuit 149. 105-1 and 105-2 are the liquid crystal drivers integrated-circuit-ized, respectively, and the number of outputs is considered as 160 outputs. 106 and 107 are the address-mode signal lines of the triplet which shows the arrangement position of the liquid crystal driver 105-1, 105-2, respectively. The address-mode signal line 106 receives the fixed data of a triplet from the driver ID occurrence section 96 by this example. Moreover, the address-mode signal line 107 receives the fixed data of a triplet from the driver ID occurrence section 97 too. Driver ID which the driver ID occurrence sections 96 and 97 generate is peculiar data for telling the liquid crystal driver (liquid crystal driver element) mounted about the arrangement position, as mentioned later. In this peculiar fixed-data occurrence, it can obtain easily with the combination of grounding potential and power potential. 108 is an address control circuit which changes into the address inside memory the address value inputted from an address bus 101 according to an address-mode signal line. They are a display address bus, the column address of the memory cell which generated the timing-control circuit where 109 controls drawing and a display action based on the control signal bus 103 and the display synchronizing signal 104 from a system, the interface circuitry (IF) to which 110 performs input/output control with a data bus 102, the display address counter (CNT) to which 111 generates the row address for a display, and 112 by 113, and generated 114 by the address control circuit 108, respectively, and a row address. The selector as which 115 chooses the address for a display, and the address for drawing with a control signal 116, The memory row address which chose 117 by the selector 115, the low address decoder as which 118 chooses the word line of a memory cell (DEC), The selection-signal bus which generated 119 by the low address decoder 118, the column address decoder which generates the selection signal as which 120 chooses the signal line of a memory cell (DEC), The selector linked to the signal line of the memory cell as which choose as the selection-signal bus which generated 121 by the column address decoder 120, and 122 by the data bus of ON appearance both directions, and 123 chooses a data bus 122 by selection-signal bus 121, and 124 are the signal-line buses through the selector 123. 125 is a memory cell with the 160 pixel x240 line x2 bit =76800 bit capacity corresponding to 160 outputs and four gradation. 126, 127, 128, 129, 130, and 131 are control signals generated in the timing-control

circuit 109, respectively, and the control signal for [ 126 ] the input/output control of data in the control signal for address conversion and 127, the control signal for display address counters in 128, the control signal with which 129 controls FRC pattern generation circuit (FRC) 133, and 130 and 131 are the latch signals for a display, respectively. By impressing the applied voltage which is different in a cycle of two or more frames to a certain liquid crystal pixel, FRC (Frame Rate Control) is the technique of realizing a gradation display of the concerned liquid crystal pixel, and is indicated in detail by Japanese Patent Application No. 253455 [ three to ], Japanese Patent Application No., etc. 220436 [ 54 to ] for which these people apply previously.

[0038] 132 The 160 output x2 bit =320 data bus from a memory cell 125, FRC selector as which 134 chooses FRC data bus as and 135 chooses output data from the FRC data bus 134 and the data bus 132, The 160-bit latch circuit to which latch 136 by the 160-bit data bus, and 137 latches simultaneously 160 bits of the data of a data bus 136 by the high level of the latch signal 130, The 160-bit latch circuit to which latch 138 by the data bus of the output data of a latch circuit 137, and 139 latches simultaneously 160 bits of the data of a data bus 138 with the standup edge of the latch signal 131, The level shifter from which a signal level is shifted to the voltage level corresponding to [ corresponding to the data bus of the output data of a latch circuit 139 in 140 ] the liquid crystal driver voltage in 141, The data bus which carried out the level shift of 142, the decoder to which 143 decodes an alternating current-ized signal and data, the selection-signal bus by which 144 was decoded, the voltage selector as which 145 chooses liquid crystal applied voltage, and 146 are output voltage lines. The VCO with which 147 generates the reference clock for a display, the reference clock for a display in 148, and 149 are the scanning circuits which drive 240 lines, and the display synchronizing signal 104 for liquid crystal drivers is generated. The scanning signal bus by which 150 was generated by the scanning circuit 149, and 151 are the liquid crystal panels of resolution 320 dot x240 line. The driver-voltage line by which 152 drives a power circuit and 153 drives a scanning circuit 149, and 154 are voltage lines which transmit a liquid crystal driver voltage to the liquid crystal driver 105.

[0039] In this example, general-purpose DRAM (dynamic RAM) interface is used as a memory interface, using SRAM as a memory cell 125. Since DRAM interface carries out the multiplexer of a row address and the column address and transmits them, it is effective in the carried type information device which can reduce the number of lines of an address bus and is mentioned later.

[0040] Next, an operation of the liquid crystal driver of this invention is explained using drawing 1.

[0041] First, a drawing operation is explained. As shown in drawing 1, the address from an address bus 101 is latched in the fall of RAS signal which is inputted into the address control circuit 108 and inputted through the timing-control circuit 109 from the control signal bus 102, and CAS signal. The latched address is changed into the column address 113 of a memory cell 125, and the row address 114 by the address control circuit 108. A column address 113 is transmitted to the column address decoder 120, and confirms the selection-signal bus 121 corresponding to the column address 113. A row address 114 is transmitted to a selector 115, and a selector 115 is controlled by the control signal 116 from the timing-control circuit 109 so that a row address 114 is chosen and the term of CPU access is outputted to the memory row address 117. The memory row address 117 is inputted into the low address decoder 118, and confirms the selection-signal bus 119 corresponding to the memory row address. A data bus 102 is connected to the interface circuitry 110 which performs input/output control, and a control signal 127 is controlled by the timing-control circuit 109 so that an interface circuitry 110 will be in the I/O status corresponding to a light cycle and a read cycle. And in a light cycle, a data bus 102 will be in an input state (in view of [ the liquid crystal driver 105 ]), the selector 123 corresponding to the column address 113 becomes effective, and data are written in. On the other hand, since the selection-signal bus 119 corresponding to the row address 114 is effective, the data of a data bus 102 are written in the memory cell 125 corresponding to the address bus 101. Moreover, in a read cycle, a data bus 102 will be in an output state (in view of [ the liquid crystal driver 105 ]), the selector 123 corresponding to the column address 113 becomes

effective, and data are read. On the other hand, since the selection-signal bus 119 corresponding to the row address 114 is effective, the data of a memory cell 125 corresponding to the address bus 101 are outputted to a data bus 102.

[0042] By doing in this way, the drawing access to this liquid crystal driver from systems, such as CPU, is attained.

[0043] Next, a display action is explained. a display action -- the indicative data of a memory cell 125 -- a part for 1 line (level line) -- it displays by reading simultaneously and driving a liquid crystal panel 151 synchronizing with the scanning signal of a scanning circuit 149 CL1 signal which shows FLM signal which shows the frame period for performing a display action, and a line period is generated by the scanning circuit 149, and is inputted into the timing-control circuit 109 as a display synchronizing signal 104. The display address counter 111 is counted for every line period with the control signal 128 for a display generated in the timing-control circuit 109, the display address is updated, and counted value is reset for every frame period. Thereby, the display address is generable one by one from 0 to 239 a fixed period. The display address 112 is chosen by the selector 115 by the control signal 116, it is inputted into the low address decoder 118, the selection-signal bus 119 corresponding to the display address 112 becomes effective, and the data of one line of a memory cell 125 are read. The read indicative data is inputted into the FRC selector 135 through a data bus 132. In FRC pattern generation circuit 133, FRC display pattern is generated according to a control signal 129, and it is inputted into the FRC selector 135 through the FRC data bus 134. In the FRC selector 135, the 1 bit [ per one output ] indicative data which performed FRC gradation display control is outputted to a data bus 136 from a 2 bits [ per one output of a data bus 132 ] indicative data, and the FRC data 134. In a latch circuit 137, it is a level latch circuit, and an indicative data 136 is latched by the low of the latch signal for a display 130, and a latch circuit 139 is an edge latch circuit, and latches the data on a data bus 138 with the standup edge of the latch signal for a display 131. The data in front of one line of the address which a display address counter shows are latched to a latch circuit 139 one by one for every line period from the phase relation of the latch signals for a display 130 and 131. A voltage is shifted to a liquid crystal driver voltage by the level shifter 141, and a data bus 140 is outputted to a data bus 142. In a decoder 143, an alternating current-ized signal and the data on a data bus 142 are decoded, and the decoding output is outputted to the selection-signal bus 144, and liquid crystal applied voltage is chosen by the voltage selector 145, and it outputs to the output voltage line 146. On the other hand, in a scanning circuit 149, display synchronizing signal CL1 which shows display synchronizing signal FLM which shows a frame period on the basis of the reference clock for a display 148 generated with VCO 147, and a line period is generated, and it transmits to the liquid crystal driver 105 as a display synchronizing signal 104. A scanning circuit 149 confirms the scanning signal 150 of one line at a time one by one synchronizing with display synchronizing signal CL1. Therefore, synchronizing with display synchronizing signal CL1, the liquid crystal applied voltage corresponding to the indicative data is outputted from the output voltage line 146 of the liquid crystal driver 105, the scanning signal 150 becomes effective one by one, and a liquid crystal panel 151 is driven.

[0044] By doing in this way, the display access to this liquid crystal driver is attained.

[0045] Next, liquid crystal display systems, such as a personal computer using the liquid crystal driver of this example at the time of using CPU equipped with DRAM interface like the Hitachi, Ltd. SH microcomputer series using drawing 7 and a work station, are explained.

[0046] Drawing 7 shows the system configuration view which used the liquid crystal display of this example. For main memory and 703, as for an address bus and 705, in drawing 7, an I/O device and 704 are [ 701 / CPU and 702 / a data bus and 706 ] control signal buses. The liquid crystal driver 105 performs a drawing access with the address transmitted through the address bus 704 which CPU701 controls, the data bus 705, and the control signal bus 706, data, and a control signal, and performs a display access synchronizing with the display synchronizing signal 104 transmitted from a scanning circuit 149.

[0047] Respectively, it connects with the address bus 704, the data bus 705, and the control signal bus 706, and CPU701, the main memory 702, I/O device 703, and the liquid crystal driver 105 can access main memory 702, I/O device 703, and the liquid crystal driver 105 from CPU701

through an address bus 704, the data bus 705, and the control signal bus 706. The row address and column address which are outputted from CPU701 are transmitted to the liquid crystal driver 105 through an address bus 704. Synchronizing with it, the memory control signals RAS and CAS etc. are outputted from CPU701, and are transmitted to the liquid crystal driver 105 through the control signal bus 706. The address transmitted to the liquid crystal driver 105 is changed into the address corresponding to the memory map by the address control circuit 108 in the liquid crystal driver 105.

[0048] Here, a memory map and address conversion are explained using drawing 9 , and 10, 11, 12, 13 and 14.

[0049] Drawing 9 (a) and (b) show the memory map of the screen correspondence seen from CPU and the liquid crystal driver, respectively.

[0050] If the memory map of the screen seen from CPU701 as it was shown in drawing 9 (a), when the screen of 320 pixel x240 line is assigned by 4 pixels of the single addresses is expressed using a hexadecimal display, it will serve as 0004FHs from 00000H in the 1st line, it serves as 0014FHs from 00100H in the 2nd line, and serves as 0EF4FH from 0EF00H in the 240th line. In order that it may make a control of the address easy that a jump arises to the address on the boundary line of a line and a line here, it is because 8 bits of the low order of the address were made into the orientation address of X and 9 bits of high orders were made into the orientation address of Y. On the other hand, the memory map seen from the liquid crystal driver 105-1,105-2 It differs from the memory map of the screen seen from CPU701 since it became the memory map of the memory cell 125 to build in as shown in this drawing (b). 6 bits of the low order of the address of a memory cell 125 The orientation address of a column, The liquid crystal driver 105-1,105-2 is set to 0000H to 0027H by the 1st line by making 8 bits of high orders into the orientation address of a low, and it is set to 0040H to 0066H in the 2nd line, and is set to 3BE7H from 3BC0H in the 240th line. Therefore, since addressing of the memory cell 125 built in the liquid crystal driver 105-1,105-2 will be correctly performed if the address transmitted from CPU701 is used as it is, in the address control circuit 108, it is necessary to carry [ the 8 bits of the orientation addresses of X ] out address conversion for the 6 bits of the orientation addresses of a column, and the 9 bits of the orientation addresses of Y to the 8 bits of the orientation addresses of a low. Then, by changing the 8 bits of the orientation address low order of X, and changing the 9 bits of the orientation address high orders of Y into the 6 bits of the orientation \*\*\*\*\* low order of a column by the address control circuit 108 at the 8 bits of the orientation address high orders of a low A note of address 00000H to 00027H seen from CPU701 is made. from address 0000H of a cell 125-1 to 0027H 0004FHs are changed into 0027H from 00028H of CPU from 0000H of a memory cell 125-2. This is performed one by one about each line. 0EF00H to 0EF27H of CPU about the last line from 3BC0H of a memory cell 125-1 to 3BE6H Address conversion which changes 0EF4FH into 3BE7H from 0EF28H of CPU from 3BC0H of a memory cell 125-2 is performed. Thereby, the memory map of CPU can be made to be able to correspond to the memory map of a memory cell 125, and the address can be specified correctly.

[0051] The arrangement configuration position to the liquid crystal panel of two or more liquid crystal drivers 105 is set up by the address-mode signal. Address conversion in each arrangement configuration is performed as follows.

[0052] As shown in drawing 10 , the address-mode signal (106 or 107) which is a control signal of the triplet of MODEA2, MODEA1, and MODEA0 is inputted into the liquid crystal driver 105, and it can recognize where self is arranged by decoding this. That is, it is discriminable whether self is which driver of eight kinds of liquid crystal drivers from driver ID0 to 7.

[0053] The arrangement configuration and address ID of each liquid crystal driver in case the resolution of a liquid crystal panel is 160 pixel x240 line, 320 pixel x240 line, 320 pixel x480 line, and 640 pixel x480 line are shown in drawing 11 , drawing 12 , drawing 13 , and drawing 14 . As shown in these drawings (especially drawing 14 ), in this example, ID is determined for the upper left driver as order called [ driver / under it / ID0 and / driver / on the right of the driver of ID1 and ID0 / driver / under it / ID2 and / driver / on the right of ID3 and ID2 ] ID5 in ID4 and the driver under it, using one liquid crystal driver longwise. In these configurations, the orientation of

a line scan (scanning) is lengthwise.

[0054] Since it corresponds to the configuration of drawing 12 in the case of drawing 1 and the liquid crystal display system of drawing 7, the address-mode signal line 106 of a driver 105-1 sets up MODEA2, A1, A0="000", driver ID=0 [ i.e., ], and the address-mode signal line 107 of a driver 105-2 so that it may become MODEA2, A1, and A0="010", driver ID=2 [ i.e., ]. That is, the right addressing can be performed to a memory cell 125 by switching to the address control corresponding to the arrangement position of the liquid crystal driver by setup of an address-mode signal.

[0055] Furthermore, CPU can access individually two or more liquid crystal drivers 105 by judging whether it is the access to the liquid crystal driver itself, and generating a chip select signal inside a liquid crystal driver from the address inputted as an address-mode signal line. In the case of drawing 1 and the liquid crystal display system of drawing 7, the address-mode signal line 106 of a driver 105-1 MODEA2, A1, A0="000" (driver ID=0), The address-mode signal line 107 of a driver 105-2 by setting up so that it may become MODEA2, A1, and A0="010" (driver ID=2) For example, when CPU701 to address "0EF27H" is specified, When the liquid crystal driver 105-1 generates a chip select signal inside, and performs the access and address "0EF28H" is specified from CPU701, the liquid crystal driver 105-2 generates a chip select signal inside, and performs the access.

[0056] Next, liquid crystal display systems, such as a personal computer using the liquid crystal driver which is an example at the time of using CPU which is not equipped with DRAM interface like Hitachi, Ltd. H8 series using drawing 8, and a work station, are explained.

[0057] As for an address bus and 805, in drawing 8, 804 is [ a data bus and 806 ] control signal buses. The memory controller which 807 receives an address bus 804, the data bus 805, and the control signal bus 806, and performs the control for the drawing access to the memory of the liquid crystal driver 105, and 808, 809 and 810 are the address bus for memory drawing controlled by the memory controller 807, a data bus, and a control signal bus, respectively.

[0058] Respectively, it connects with the address bus 804, the data bus 805, and the control signal bus 806, and CPU801, the main memory 802, I/O device 803, and the memory controller 807 can access main memory 802, I/O device 803, and the memory controller 807 from CPU801 through an address bus 804, the data bus 805, and the control signal bus 806. The address outputted from CPU801 is transmitted and latched to the memory controller 807 through an address bus 804. Synchronizing with it, a control signal is also outputted from CPU801 and is transmitted to the memory controller 807 through the control signal bus 806. By the memory controller 807, from the address and the control signal which were inputted from the address bus 804 and the control signal bus 806, timing is doubled with the address data bus 808 and the control signal bus 810, a row address, a column address, the memory control signals RAS and CAS, etc. are outputted, and the liquid crystal driver 105 is accessed. Henceforth, about the operation of the liquid crystal driver 105, it is the same as that of the liquid crystal display system shown in drawing 7.

[0059] Next, the detailed timing of the drawing memory access of the liquid crystal driver 105 is explained from drawing 1 and drawing 15 using drawing 21.

[0060] A memory read cycle is explained using drawing 15. A row address is incorporated in falling of RAS signal which a row address and a column address are inputted from an address bus 101, respectively, and is inputted from the control signal bus 103, and a column address is incorporated in falling of CAS signal. And the above address conversion is performed by the address control circuit 108, the row address of a memory cell 125 and a column address are specified, and lead data are outputted for data to the low term of a DT/OE signal.

[0061] A memorandum rear rewrite cycle is explained using drawing 16. A row address is incorporated in falling of RAS signal which a row address and a column address are inputted from an address bus 101, respectively, and is inputted from the control signal bus 103, and a column address is incorporated in falling of CAS signal. And light data are incorporated in falling of CAS signal whose WE signal is a low, address conversion is performed by the address control circuit 108, the row address of a memory cell 125 and a column address are specified, and light data are written in.



[0062] A memory delay \*\*\*\*\* cycle is explained using drawing 17 . A row address is incorporated in falling of RAS signal which a row address and a column address are inputted from an address bus 101, respectively, and is inputted from the control signal bus 103, and a column address is incorporated in falling of CAS signal. And light data are incorporated in falling of WE signal whose CAS signal is a low, address conversion is performed by the address control circuit 108, the row address of a memory cell 125 and a column address are specified, and light data are written in.

[0063] A \*\*\*\*\* modification light cycle is explained using drawing 18 . A row address is incorporated in falling of RAS signal which a row address and a column address are inputted from an address bus 101, respectively, and is inputted from the control signal bus 103, and a column address is incorporated in falling of CAS signal. Moreover, a mask data is incorporated in falling of RAS signal. And address conversion is performed by the address control circuit 108, the row address of a memory cell 125 and a column address are specified, and lead data are outputted for data to the low term of a DT/OE signal. In falling of WE signal whose CAS signal is a low, light data are incorporated, address conversion is performed by the address control circuit 108, the row address of a memory cell 125 and a column address are specified, the mask of the bit corresponding to the mask data is carried out, and light data are written in.

[0064] Next, the page mode access in which rapid access is possible is explained. By page mode access, a high-speed access is attained by specifying a row address and a column address like random access first, and specifying only a column address from the following cycle to the data of the same row address.

[0065] A memory-page mode read cycle is explained using drawing 19 . A row address is incorporated in falling of RAS signal which a row address and a column address are inputted from an address bus 101, respectively, and is inputted from the control signal bus 103, and a column address is incorporated in falling of CAS signal. And address conversion is performed by the address control circuit 108, the row address of a memory cell 125 and a column address are specified, and lead data are outputted for data to the low term of a DT/OE signal. Furthermore, while RAS signal has been a low, a column address is again incorporated in falling of CAS signal, a row address remains as it is, the row address of a memory cell 125 and a column address are specified, and lead data are outputted to the low term of a DT/OE signal. Henceforth, this operation is repeated and two or more lead data are outputted one by one.

[0066] A memory-page \*\*\*\*\* rewrite cycle is explained using drawing 20 . A row address is incorporated in falling of RAS signal which a row address and a column address are inputted from an address bus 101, respectively, and is inputted from the control signal bus 103, and a column address is incorporated in falling of CAS signal. And light data are incorporated in falling of CAS signal whose WE signal is a low, address conversion is performed by the address control circuit 108, the row address of a memory cell 125 and a column address are specified, and light data are written in. Furthermore, while RAS signal has been a low, a column address is again incorporated in falling of CAS signal, light data are incorporated in falling of CAS signal whose WE signal is a low, a row address remains as it is, the row address of a memory cell 125 and a column address are specified, and light data are written in. Henceforth, this operation is repeated and two or more light data are written in one by one.

[0067] A memory-page \*\*\*\*\* light cycle is explained using drawing 21 . A row address is incorporated in falling of RAS signal which a row address and a column address are inputted from an address bus 101, respectively, and is inputted from the control signal bus 103, and a column address is incorporated in falling of CAS signal. And light data are incorporated in falling of WE signal whose CAS signal is a low, address conversion is performed by the address control circuit 108, the row address of a memory cell 125 and a column address are specified, and light data are written in. Furthermore, while RAS signal has been a low, a column address is again incorporated in falling of CAS signal, light data are incorporated in falling of WE signal whose CAS signal is a low, a row address remains as it is, the row address of a memory cell 125 and a column address are specified, and light data are written in. Henceforth, this operation is repeated and two or more light data are written in one by one.

[0068] thus, Hitachi, Ltd., such as random access and a page mode access, -- the liquid crystal



display system using this liquid crystal driver can consist of easily supporting general-purpose DRAM access cycle which is indicated by "the Hitachi IC memory data book 2"

[0069] Next, the detailed timing of a display access is explained using drawing 1, drawing 22, and drawing 23.

[0070] A display access is the same period which synchronized with the display synchronizing signal 104 of a scanning circuit 149, and is an operation which changes the indicative data in every line of a memory cell 125 into liquid crystal applied voltage, outputs from the output voltage line 146, and drives a liquid crystal panel 151.

[0071] As shown in drawing 22, synchronizing with the standup of synchronizing signal CL for a display1, one low [ every ] liquid crystal applied voltage is outputted from the output voltage line 146 by the display address counter's 111 carrying out a count rise synchronizing with the standup of synchronizing signal CL for a display1, and carrying out the count rise of the row address one by one. Specifically, after the latch signal 130 starts synchronizing with display synchronizing signal CL1 and a display access makes a latch circuit 137 through, it holds the output of the FRC selector 135 in falling of the latch signal 130. On the other hand, a latch circuit 139 answers the control signal 131 which synchronized with display synchronizing signal CL1, and latches the latch data 138 in the standup of CL1. The drawing access from CPU can be performed in the intervals of the display access performed a fixed period. A row address is held in falling of RAS signal, the column address is held in falling of continuing CAS signal, and the storage location directed in both the addresses is accessed. The control signal (MAMPX) 116 to the selector 115 which changes the row address from CPU and the row address from a counter 111 serves as a low at the time of falling of CAS signal, and changes to a drawing side. A control signal 116 returns high-level in the standup of following display synchronizing signal CL1.

[0072] By the way, the drawing access and the display access have been independent, respectively, and since it is asynchronous, the timing of a drawing access and a display access may lap. Timing when a drawing access and a display access lap with drawing 23 is shown. If a display action is not performed a fixed period, the display quality of a liquid crystal panel will become bad. At this example, a drawing access and a display access can perform a display action a fixed period also by the \*\*\*\*\* case by forming two steps of latch circuits 137, and the latch circuit 139.

[0073] As shown in drawing 23, when display synchronizing signal CL1 is inputted during the low of RAS signal, it is inhibited that the latch signal 130 over a latch circuit 137 starts synchronizing with display synchronizing signal CL1, and priority is given to a drawing access. That is, both drawing accesses from CPU access a memory cell 125 from falling of CAS signal which a row address and a column address decide, and are ended in the standup of CAS signal. The control signal (MAMPX) 116 of a selector 115 chooses the address for drawing by the low, is high-level and chooses the address for a display. Although a control signal 116 serves as a low in falling of CAS signal in a drawing access, when it competes with a display access, a control signal 116 is returned high-level in the standup of CAS signal, and it shifts to the update of the latch data 138 immediately after a drawing access.

[0074] In a display access, like the case of drawing 22, the count rise of the display address counter 111 is carried out from n in the standup of display synchronizing signal CL1 n+1, a control signal 131 is answered and the latch data 138 corresponding to row-address n are latched by the latch circuit 139. Thus, the update of the latch data 140 is performed as planned irrespective of contention of an access. However, the latch signal 130 with which the standup was inhibited is started when CAS signal starts (the drawing access was completed), and thereby, it updates the latch data 180 to the data corresponding to a row address n+1. Consequently, the latch data 140 can follow the updated latch data 138 in the standup of following display synchronizing signal CL1. Since a latch circuit 137 is a level latch circuit, it incorporates a row address n+1 and the data of n+2 one by one, and holds the data of a row address n+2 in falling of the latch signal 130. That is, while the drawing access from CPU is performed in the low term of CAS signal and the output operation to a liquid crystal panel is always performed in the standup of display synchronizing signal CL1 about a display access A readout operation of data from a memory cell 125 A drawing access About the case where it

laps, it carries out in the term without the drawing access to following display synchronizing signal CL1 (even when a drawing access continues, a readout operation of data is performed from a memory cell 125 in terms other than the low term of CAS signal under drawing access). [0075] Thus, two steps of latch circuits 137 and 139 are formed, and even when a drawing access and a display access lap by controlling each latch signal 130 and 131 skillfully, each access can be performed normally.

[0076] For this reason, the drawing access from CPU does not have a limit of a display access, and since it can always perform, high-speed drawing is realizable.

[0077] In the 1st example described above, it has 160 pixel x240 line x2 bit =76800 bit memory space, and although it was about the case of number of outputs 160 output, it can correspond also about other memory space and other numbers of outputs by changing an address control circuit, a display address counter, etc. corresponding to it. Moreover, although FRC formula is performing the four gradation display with 2 bits [ per pixel ] gradation data in the 1st example also about the formation of many gradation, it can correspond by increasing FRC pattern and gradation data and changing memory space, FRC selector, etc. corresponding to it. Furthermore, even if it uses not only FRC formula but pulse width modulation also about a gradation control system, it is also possible to perform a gradation display.

[0078] Next, the 2nd example of this invention which has arranged the liquid crystal driver perpendicularly (Y-axis side) is explained from drawing 24 using drawing 32 .

[0079] Drawing 24 is the block diagram of the liquid crystal display which used the liquid crystal driver of this invention.

[0080] In drawing 24 , the address bus to which 2401 transmits the address, the data bus to which 2402 transmits an indicative data, the control signal bus to which 2403 transmits a control signal, and 2404 are the display synchronizing signals generated by the scanning driver. 2405 is the liquid crystal driver of this invention, and the number of outputs is considered as 160 outputs. 2406, the address-mode signal line of the triplet 2407 indicates the liquid crystal driver 2405-1 and the configuration position of 2405-2 to be, respectively, and 2408 are address control circuits which change into the address inside memory the address value inputted from an address bus 2401 according to an address-mode signal line. They are a display address bus, the column address of the memory cell which generated the timing-control circuit where 2409 controls drawing and a display action from the control signal bus 2403 from a system, and the display synchronizing signal 2404, the interface circuitry to which 2410 performs input/output control with a data bus 2402, the display address counter to which 2411 generates the row address for a display, and 2412 by 2413, and generated 2414 by the address control circuit 2408, respectively, and a row address. The selector as which 2415 chooses the address for a display, and the address for drawing with a control signal 2416, The memory row address which chose 2417 by the selector 2415, the low address decoder as which 2418 chooses the word line of a memory cell, The selection-signal bus which generated 2455 by the low address decoder 2418, The selection-signal bus which generated 2456 by the low address decoder 2418, The column address decoder which generates the selection signal as which 2420 chooses the signal line of a memory cell, The selection-signal bus which generated 2421 by the column address decoder 2420, The selector linked to the signal line of the memory cell as which choose 2422 as by the data bus of I/O both directions, and 2423 chooses a data bus 2422 by selection-signal bus 2421, The signal-line bus by which 2424 minded the selector 2423, and 2425 are the memory cells with the 160 pixel x240 line x2 bit =76800 bit capacity corresponding to 160 outputs and four gradation. 2426, 2427, 2428, 2429, 2430, and 2431 are the control signals generated in the timing-control circuit 2409, respectively, and the control signal for [ 2426 ] the input/output control of data in the control signal for address conversion and 2427, the control signal for display address counters in 2428, the control signal with which 2429 controls FRC pattern generation circuit 2433, and 2430 and 2431 are the latch signals for a display, respectively. 2432 The 160 output x2 bit =320 data bus from a memory cell 2425, The selector which chooses the 4-pixel data connected to the address with 2457 [ same ], The data bus as which 2458 was chosen by the selector 2457, and 2433 FRC pattern generation circuit, FRC selector as which 2434 chooses FRC data bus as and 2435 chooses output data from the FRC data bus 2434 and

the data bus 2432, The 160-bit latch circuit to which latch 2436 by the 160-bit data bus, and 2437 latches simultaneously 160 bits of the data of a data bus 2436 by the high level of the latch signal 2430, The 160-bit latch circuit to which latch 2438 by the data bus of the output data of a latch circuit 2437, and 2439 latches simultaneously 160 bits of the data of a data bus 2438 with the standup edge of the latch signal 2431, The level shifter from which a signal level is shifted to the voltage level corresponding to [ corresponding to the data bus of the output data of a latch circuit 2439 in 2440 ] the liquid crystal driver voltage in 2441, The data bus which carried out the level shift of 2442, the decoder to which 2443 decodes an alternating current-ized signal and data, the selection-signal bus by which 2444 was decoded, the voltage selector as which 2445 chooses liquid crystal applied voltage, and 2446 are output voltage lines. The VCO with which 2447 generates the reference clock for a display, the reference clock for a display in 2448, and 2449 are the scanning circuits which drive 240 lines, and the display synchronizing signal 2404 for liquid crystal drivers is generated. The scanning signal bus by which 2450 was generated by the scanning circuit 2449, and 2451 are the liquid crystal panels of resolution 320 dot x240 line. The driver-voltage line by which 2452 drives a power circuit and 2453 drives a scanning circuit 2449, and 2454 are voltage lines which transmit a liquid crystal driver voltage to the liquid crystal driver 2405.

[0081] Next, an operation of the liquid crystal driver in the 2nd example is explained using the block diagram of drawing 24.

[0082] First, a drawing operation is explained. As shown in drawing 24, the row address and column address from an address bus 2401 are latched in the fall of RAS signal of the control signal which is inputted into the address control circuit 2408 and inputted through the timing-control circuit 2409 from the control signal bus 2402, respectively, and CAS signal. The latched address is changed into the column address 2413 of a memory cell 2425, and the row address 2414 by the address control circuit 2408. A column address 2413 is transmitted to the column address decoder 2420, and confirms the selection-signal bus 2421 corresponding to the column address 2413. A row address 2414 is transmitted to a selector 2415, and a control signal 2416 is controlled by the timing-control circuit 2409 so that a row address 2414 is chosen and the term of CPU access is outputted to the memory row address 2417. The memory row address 2417 confirms the selection-signal bus 2419 corresponding to input \*\* and the memory row address at the low address decoder 2418. A data bus 2402 is connected to the interface circuitry 2410 which performs input/output control, and a control signal 2427 is controlled by the timing-control circuit 2409 so that an interface circuitry 2410 will be in the I/O status corresponding to a light cycle and a read cycle. And in a light cycle, a data bus 2402 will be in an input state (in view of [ a liquid crystal driver ]), the selector 2423 corresponding to the column address 2410 becomes effective, and data are written in.

---

Since it became timeout time, translation result display processing is stopped.

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[An easy explanation of a drawing]

[ Drawing 1 ] It is the liquid crystal display block diagram of the 1st example which used the liquid crystal driver with built-in memory of this invention.

[ Drawing 2 ] It is the conventional liquid crystal display block diagram.

[ Drawing 3 ] It is the block diagram of the personal computer using the liquid crystal display indicated to drawing 2.

[ Drawing 4 ] In the system indicated to drawing 3, it is the timing chart which shows an access of display memory 307.

[ Drawing 5 ] It is the timing-chart view of the conventional liquid crystal driver of operation.

[ Drawing 6 ] It is a liquid crystal display block diagram using the conventional liquid crystal driver with built-in memory.

[ Drawing 7 ] It is the liquid crystal display-system block diagram of the 1st example using the liquid crystal driver of this invention.

[ Drawing 8 ] It is the liquid crystal display-system block diagram of the 1st example using the liquid crystal driver of this invention.

[ Drawing 9 ] They are the screen memory map seen from CPU of the liquid crystal display system of the 1st example, and the driver memory map seen from the driver.

[ Drawing 10 ] It is explanatory drawing showing the address mode of a liquid crystal driver.

[ Drawing 11 ] It is the block diagram of the liquid crystal driver in the liquid crystal display of the 1st example.

[ Drawing 12 ] It is the block diagram of the liquid crystal driver in the liquid crystal display of the 1st example.

[ Drawing 13 ] It is the block diagram of the liquid crystal driver in the liquid crystal display of the 1st example.

[ Drawing 14 ] It is the block diagram of the liquid crystal driver in the liquid crystal display of the 1st example.

[ Drawing 15 ] It is the timing chart showing a memory read cycle.

[ Drawing 16 ] It is the timing chart showing a memorandum rear rewrite cycle.

[ Drawing 17 ] It is the timing chart showing a memory delay \*\*\*\*\* cycle.

[ Drawing 18 ] It is the timing chart showing a \*\*\*\*\* modification light cycle.

[ Drawing 19 ] It is the timing chart showing a memory-page mode read cycle.

[ Drawing 20 ] It is the timing chart showing a memory-page \*\*\*\*\* rewrite cycle.

[ Drawing 21 ] It is the timing chart showing a memory-page \*\*\*\*\* light cycle.

[ Drawing 22 ] It is the timing chart showing a display and a drawing access.

[ Drawing 23 ] It is the timing chart showing a display and a drawing access.

[ Drawing 24 ] It is the liquid crystal display block diagram of the 2nd example which used the liquid crystal driver with built-in memory of this invention.

[ Drawing 25 ] It is the liquid crystal display-system block diagram of the 2nd example using the liquid crystal driver of this invention.

[ Drawing 26 ] It is the liquid crystal display-system block diagram of the 2nd example using the liquid crystal driver of this invention.

- [ Drawing 27 ] They are the screen memory map seen from CPU of the liquid crystal display system of the 2nd example, and the driver memory map seen from the driver.
- [ Drawing 28 ] It is the block diagram of the liquid crystal driver in the liquid crystal display of the 2nd example.
- [ Drawing 29 ] It is the block diagram of the liquid crystal driver in the liquid crystal display of the 2nd example.
- [ Drawing 30 ] It is the block diagram of the liquid crystal driver in the liquid crystal display of the 2nd example.
- [ Drawing 31 ] It is the block diagram of the liquid crystal driver in the liquid crystal display of the 2nd example.
- [ Drawing 32 ] It is the memory cell detailed block diagram of the 2nd example.
- [ Drawing 33 ] It is the external view of the carried type information device using the liquid crystal driver with built-in memory of this invention.
- [ Drawing 34 ] It is the external view of the carried type information device using the liquid crystal driver with built-in memory of this invention.
- [ Drawing 35 ] It is the external view of the carried type information device using the liquid crystal driver with built-in memory of this invention.
- [ Drawing 36 ] It is the external view of the carried type information device using the liquid crystal driver with built-in memory of this invention.
- [ Drawing 37 ] It is the external view of the carried type information device using the liquid crystal driver with built-in memory of this invention.
- [ Drawing 38 ] It is explanatory drawing showing the relation between the memory address in the case of arranging a liquid crystal driver to a Y-axis side, and a bit map.
- [ Drawing 39 ] It is the timing chart showing the memory read cycle in other examples of this invention using SRAM interface.
- [ Drawing 40 ] It is the timing chart showing the memory light cycle in other examples of this invention using SRAM interface.
- [An explanation of a sign]
- 101 -- Address bus, 102 -- Data bus, 103 -- Control signal bus, [ 105 -- Liquid crystal driver, 106 -- Address-mode signal line, ] 104 -- Display synchronizing signal, [ 108 -- Address control circuit, ] 107 -- Address-mode signal line, [ 110 -- Interface circuitry, 111 -- Display address counter, ] 109 -- Control signal bus, [ 113 -- Column address, 114 -- Row address, ] 112 -- Display address bus, [ 116 -- Control signal, 117 -- Memory row address, ] 115 -- Selector, [ 119 -- Selection-signal bus, 120 -- Column address decoder, ] 118 -- Low address decoder, 121 -- Selection-signal bus, 122 -- Data bus, 123 -- Selector, [ 125 -- Memory cell, 126 -- Control signal, ] 124 -- Signal-line bus, [ 128 -- Control signal, 129 -- Control signal, ] 127 -- Control signal, [ 131 -- Control signal, 132 -- Data bus, ] 130 -- Control signal, [ 134 -- FRC data bus, ] 133 -- FRC pattern generation circuit, [ 136 -- Data bus, 137 -- Latch circuit, ] 135 -- FRC selector, [ 139 -- Latch circuit, 140 -- Data bus, ] 138 -- Data bus, [ -- Data bus, / 143 -- Decoder, ] 141 -- A level shifter, 142 [ 145 -- Voltage selector, 146 -- Output voltage line, ] 144 -- Selection-signal bus, [ 148 -- Reference clock, 149 -- Scanning circuit, 150 -- Scanning signal bus, 151 -- Liquid crystal panel, 152 / 154 -- Voltage line / -- A power circuit, 153 -- Driver-voltage line, ] 147 -- VCO,

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-175445

(43) 公開日 平成7年(1995)7月14日

(51) Int.Cl.<sup>6</sup>

G 0 9 G 3/36

G 0 2 F 1/133

識別記号

庁内整理番号

F I

技術表示箇所

5 0 5

審査請求 未請求 請求項の数16 O L (全 25 頁)

(21) 出願番号 特願平5-320074

(22) 出願日 平成5年(1993)12月20日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233136

株式会社日立画像情報システム

神奈川県横浜市戸塚区吉田町292番地

(72) 発明者 新田 博幸

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所システム開発研究所内

(72) 発明者 古橋 勉

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所システム開発研究所内

(74) 代理人 弁理士 富田 和子

最終頁に続く

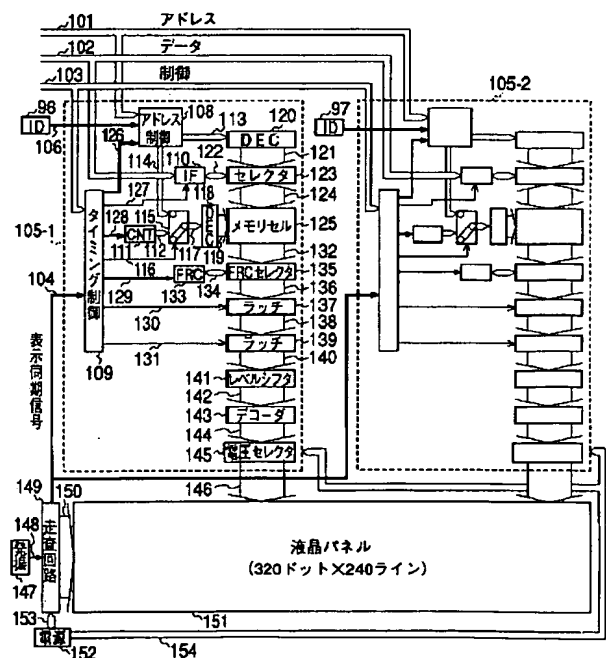
(54) 【発明の名称】 メモリ内蔵液晶ドライバと液晶ディスプレイ

(57) 【要約】

【目的】 表示データに対応した液晶印加電圧を生成する液晶ドライバにおいて、汎用メモリインタフェースによりアクセス可能な表示メモリを内蔵することで、システムの動作効率を低下させることなく、低消費電力化、描画の高速化を図る。

【構成】 液晶パネル151に液晶印加電圧を生成する液晶ドライバ105にメモリセル125を内蔵し、システムとのインタフェースに、アドレスバス101、データバス102、制御信号バス103を設け、汎用メモリインタフェースを介して任意位置のデータを容易に更新できるようにするとともに、表示同期信号104のタイミングで、メモリセル125に記憶している表示データを液晶印加電圧に変換して、液晶パネル151に出力して表示を行う。

本発明の液晶ドライバを用いた液晶ディスプレイの構成図 (図1)



## 【特許請求の範囲】

【請求項1】複数のデータ線および複数の走査線の交点位置にマトリックス状に配列された画素部を有する液晶パネルと、前記複数の走査線に順次電圧を印加する走査回路と、上位装置からの表示データを受けて該表示データに対応した電圧を前記複数のデータ線に印加する液晶ドライバとを具備する液晶ディスプレイにおいて、前記走査回路は、表示のフレーム周期を表すフレーム表示同期信号と、表示のライン周期を表すライン表示同期信号を生成する回路を有し、

前記液晶ドライバは、汎用のメモリインタフェースを介してアクセスされ、前記マトリックス状に配列された画素部に対応する表示データを格納する表示メモリと、該表示メモリに対して前記上位装置が表示データの読み出し書き込み制御を行うとき、前記上位装置が指定したアドレスを前記表示メモリのアドレスに変換するアドレス変換回路と、前記ライン表示同期信号に同期して、前記表示メモリの順次の1ライン上の表示データを読み出す読出し手段と、

該読みだされた当該液晶ドライバの有する出力データ線分の表示データを同時に保持する保持回路と、該保持回路に保持された表示データを前記液晶パネルの液晶印加電圧に変換して出力する回路と、前記表示メモリに格納された表示データに基づいて周期的に前記液晶パネルに前記液晶印加電圧を出力する表示動作と、該表示動作と非同期に行なわれる前記上位装置からの前記表示メモリに対する表示データの読み出し書き込み動作とを調停するタイミング制御回路とを有することを特徴とする液晶ディスプレイ。

【請求項2】前記液晶ドライバは、アドレスバスとデータバスと制御信号バスとに接続され、上記アドレスバスからマルチプレクス転送される、X座標値を示すアドレスとY座標値を示すアドレスとをラッチする手段を有し、該二つのアドレスを上記アドレス変換回路により変換したアドレスにより上記表示メモリのアクセスを行なうことを特徴とする請求項1記載の液晶ディスプレイ。

【請求項3】前記液晶ドライバは、アドレスバスとデータバスと制御信号バスとに接続され、上記アドレスバスから同時に転送される、X座標値を示すアドレスとY座標値を示すアドレスとをラッチする手段を有し、該二つのアドレスを上記アドレス変換回路により変換したアドレスにより上記表示メモリのアクセスを行なうことを特徴とする請求項1記載の液晶ディスプレイ。

【請求項4】前記液晶ドライバ内の前記保持回路を2段有し、前記タイミング制御回路は前記2段の保持回路を異なるタイミングで保持動作を行うよう制御することを特徴とする請求項1記載の液晶ディスプレイ。

【請求項5】前記タイミング制御回路は、前記表示動作

と前記読出し書き込み動作との競合を検出した場合、前記2段の保持回路のうち、後段の保持回路の保持動作は通常通り実行し、前段の保持回路の保持動作は前記書き込み動作が終了するまで遅延させることを特徴とする請求項4記載の液晶ディスプレイ。

【請求項6】前記2段の保持回路のうち、前段の保持回路はレベルラッチ回路であり、後段の保持回路はエッジラッチ回路であることを特徴とする請求項1または5記載の液晶ディスプレイ。

【請求項7】それぞれ前記液晶パネルの画面サイズの一部に対応する複数の同一構成の液晶ドライバ素子を組み合わせる前記液晶ドライバを構成し、前記各液晶ドライバ素子は、自己の配置位置を示す液晶ドライバIDを外部から受け、該液晶ドライバIDに基づいて、上記上位装置から与えられるアドレスが自己をアクセスするアドレスか否かを判定することにより、当該液晶ドライバ素子内の表示メモリの選択信号を生成する選択手段を有し、

各液晶ドライバ素子内の前記アドレス変換回路は、前記外部から与えられた自己の液晶ドライバIDに基づいて、上記上位装置から与えられるアドレスを自己の上記表示メモリのアドレスに変換する機能を有し、各液晶ドライバ素子は、前記選択信号が有効なときに、自己の表示メモリを上記変換されたアドレスでアクセスすることを特徴とする請求項1、2、3、4または5記載の液晶ディスプレイ。

【請求項8】前記液晶パネルの画面全体に対応する複数の液晶ドライバ素子の組み合わせ配置における配置位置に応じて予め定めた液晶ドライバIDを発生する複数の液晶ドライバID発生手段を有することを特徴とする請求項7記載の液晶ディスプレイ。

【請求項9】前記上位装置からのアドレスは上記複数の液晶ドライバ素子の各々に対して異なるアドレスであり、上記変換後のアドレスは上記各々に対して同一のアドレスであることを特徴とする請求項7または8記載の液晶ディスプレイ。

【請求項10】前記液晶ドライバ内の表示メモリは1画素複数ビットの表示データを格納し、上記表示メモリから読みだした1画素複数ビットの値の特定の組み合わせに対して、複数フレーム毎に異なる液晶印加電圧に対応する異なるデータを出力する手段を有することを特徴とする請求項1記載の液晶ディスプレイ。

【請求項11】前記液晶ドライバ内の表示メモリは1画素複数ビットの表示データを格納し、上記表示メモリから読みだした1画素複数ビットの値の特定の組み合わせに対して、液晶印加電圧の出力時間幅を変化させる手段を有することを特徴とする請求項1記載の液晶ディスプレイ。

【請求項12】前記液晶ドライバ内の表示メモリはスタティックRAMであることを特徴とする請求項1～11

記載のいずれかに記載の液晶ディスプレイ。

【請求項13】前記X座標値を示すアドレスとY座標値を示すアドレスとにより指定される前記表示メモリの記憶位置に、表示画面上で水平方向に連続する複数画素分の表示データを格納することを特徴とする請求項2、

3、10または11記載の液晶ディスプレイ。

【請求項14】前記液晶ドライバが前記表示パネルのX軸側に配置される場合、前記液晶ドライバの読出し手段は、前記ライン表示同期信号に同期して、前記表示メモリの順次の水平1ライン上の表示データを読みだすことを特徴とする請求項1または13記載の液晶ディスプレイ。

【請求項15】前記液晶ドライバが前記表示パネルのY軸側に配置される場合、前記液晶ドライバの読出し手段は、前記ライン表示同期信号に同期して、前記表示メモリの順次の垂直1ライン上の表示データを読みだし、さらに、該同時に読みだされる各記憶位置の前記複数画素のうちの順次異なる1画素のデータを選択する選択回路を有することを特徴とする請求項13記載の液晶ディスプレイ。

【請求項16】複数のデータ線および複数の走査線の交点位置にマトリクス状に配列された画素部を有する液晶パネルと共に使用され、上位装置からの表示データを受けて該表示データに対応した電圧を前記複数のデータ線に印加する液晶ドライバにおいて、

汎用のメモリインタフェースを介してアクセスされ、前記マトリクス状に配列された画素部に対応する表示データを格納する表示メモリと、

該表示メモリに対して前記上位装置が表示データの読み出し書き込み制御を行うとき、前記上位装置が指定したアドレスを前記表示メモリのアドレスに変換するアドレス変換回路と、

前記ライン表示同期信号に同期して、前記表示メモリの順次の1ライン上の表示データを読みだし読出し手段と、

該読みだされた当該液晶ドライバの有する出力データ線分の表示データを同時に保持する保持回路と、

該保持回路に保持された表示データを前記液晶パネルの液晶印加電圧に変換して出力する回路と、

前記表示メモリに格納された表示データに基づいて周期的に前記液晶パネルに前記液晶印加電圧を出力する表示動作と、該表示動作と非同期に行なわれる前記上位装置からの前記表示メモリに対する表示データの読み出し書き込み動作とを調停するタイミング制御回路とを内蔵したことを特徴とするメモリ内蔵液晶ドライバ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、メモリを内蔵した液晶ドライバと、メモリ内蔵液晶ドライバを使用した液晶ディスプレイに関する。

【0002】

【従来の技術】従来の液晶ディスプレイは、例えば、日立LCDドライバデータブック（株式会社日立製作所半導体事業本部発行）のP274からP292に記載してある液晶ドライバHD66107を使用して構成されていた。図2から図5を用いて、このような従来の液晶ディスプレイについて説明する。

【0003】図2は従来の液晶ディスプレイの構成図である。

【0004】図2において、201は制御信号を転送する制御信号バスであり、202は表示データを転送するデータバスである。203-1および203-2はそれぞれ液晶ドライバである。この例では、液晶パネル219のX（水平）方向の幅に合わせて二つの液晶ドライバを用いている。液晶ドライバ203-1と203-2とを総称して液晶ドライバ203という（以下、他の参照番号についても同様とする）。204は液晶ドライバ203の動作を制御するタイミング制御回路、205はデータバス202で転送する表示データをラッチする信号を生成するシフトレジスタである。206はシフトレジスタ205から出力されるラッチクロックを転送する信号線、207は順次表示データを取り込むラッチ、208はラッチ207の出力するデータを転送するデータバス、209はデータバス208の転送するデータを同時に取り込むラッチ、210はラッチ209の出力するデータを転送するデータバスである。211はレベルシフトであり、データバス210で転送する表示データを、液晶印加電圧に対応した電圧レベルにシフトする。212はレベルシフトされたデータを転送するデータバス、213は電圧セクタである。214は電圧セクタ213でデータバス212を介して転送される表示データに従って選択された液晶印加電圧を転送する出力電圧線である。215はシフトレジスタ205を制御するCL2クロックであり、216はラッチ209にデータを取り込むCL1クロックである。217は走査回路であり、表示を行うラインを選択する。218は走査回路217で生成される走査信号を転送する走査信号線、219は液晶パネルである。220は電源回路、221、222は各々走査回路217と液晶ドライバ203を駆動する駆動電圧を転送する駆動電圧線である。

【0005】図3は、図2に記載した液晶ディスプレイを用いたパーソナルコンピュータのシステム構成図である。

【0006】図3において、301はCPU、302はメインメモリ、303はアドレスを転送するアドレスバス、304はデータを転送するデータバス、305は制御信号を転送する制御信号バスである。306は表示コントローラ、307は表示データを記憶する表示メモリである。308はタイミング制御回路、309はタイミング信号であり、表示メモリ307をアクセスするため



の信号と、液晶ドライバ208を動作させるための信号を含む。310は表示アドレスと描画アドレスを切り換える選択信号である。311はコントローラであり、信号バス312に転送するタイミング信号と、表示アドレスバス313に転送するアドレスを生成する。314は表示アドレスと描画アドレスを選択するセクタ、315はセクタ314で選択された表示メモリ307をアクセスするためのアドレスを転送するアドレスバス、316はデータバッファである。317は表示メモリ307をアクセスするためのデータを転送するデータバスであり、318は液晶ディスプレイ用の表示データを転送するデータバスである。

【0007】図4は、図3に示したシステムにおいて、表示メモリ307のアクセスを示すタイミングチャートである。

【0008】図5は、液晶ドライバ203の動作を示すタイミングチャートである。

【0009】再び図2を用いて従来の液晶ドライバを用いたときの液晶ディスプレイについて説明する。

【0010】信号バス201を介して転送される制御信号は、液晶ドライバ203のタイミング制御回路204に入力される。生成されたCL2クロック215は、シフトレジスタ205へ転送され、シフトレジスタ205はラッチクロックを生成し、信号線206に出力する。一方、データバス202を介してドライバ203に転送される表示データは、信号線206を介して転送されるラッチクロックによって、ラッチ207に順次ラッチされる。ラッチ207にラッチされた表示データは、データバス208を介して、ラッチ209に、CL1クロック216によって同時に記憶される。この動作を図5に示す。また、CL1クロック216によってラッチ209から出力された表示データは、データバス210を介してレベルシフト211に入力され、液晶印加電圧に対応した電圧レベルに変換される。レベルシフトされた表示データは、データバス212を介して電圧セクタ213に転送され、液晶印加電圧を選択する。選択された液晶印加電圧は、出力電圧線214を介して液晶パネル219に供給される。

【0011】このように、従来の液晶ドライバは、表示データをラッチし、液晶印加電圧に変換して出力する機能しか持たない。この点に関し、従来の液晶ドライバ203で駆動する液晶ディスプレイを用いたシステムについて、図3を用いてさらに詳しく説明する。

【0012】本システムでは、一定周期で液晶ディスプレイに表示データを転送する必要がある。そこで、表示データを1画面分記憶する表示メモリ307が必要となり、表示メモリ307から表示データを読み出し、液晶ディスプレイに出力する手段と、表示メモリ307に記憶する表示データを更新する手段とが必要となる。表示メモリ307のアドレスバス315、データバス31

7、制御信号309は1系統しかないことから、表示メモリ307に対しては、図4に示すように、表示データを読み出し、液晶ディスプレイに出力するための表示アクセスと、表示データを更新する描画アクセスを時分割で行うことが必要となる。よって、本システムは、以下のように構成される。

【0013】アドレスバス315は、セクタ314によって、表示アクセスのためのアドレスを転送するアドレスバス313と、描画アクセスのためのアドレスを転送するアドレスバス303とが切り換えられて、表示又は描画のアドレスが転送されている。この切り換え制御は、タイミング制御回路308で行う。タイミング制御回路308には、CPU301からの制御信号が制御信号バス305を介して入力されると共に、コントローラ311からの制御信号が制御信号バス312を介して入力される。この2つの制御信号によって、表示メモリ307に対して表示アクセスを行うのか、描画アクセスを行うのかを決定するアービトラージョン制御がなされる。また、データバス317についても同様に、表示アクセスの場合、データバス317上のデータはバッファ316を介してデータバス318に転送され、描画アクセスの場合、データバス304のデータはバッファ316を介して、データバス317に転送される。

【0014】ところで、液晶ドライバの内部にメモリを内蔵したメモリ内蔵液晶ドライバが、日立LCDドライバデータブック（株式会社日立製作所半導体事業本部発行）のP293からP335に記載されている。

【0015】次に、このようなメモリ内蔵ドライバを用いた液晶ディスプレイシステムについて、図6の構成図を用いて説明する。

【0016】図6において、601は液晶ドライバ、602はデータバス、603は制御信号である。604はアドレスレジスタ、605はX座標値レジスタ、606はY座標値レジスタ、607はX座標値を出力するデータバス、608はY座標値を出力するデータバスである。609はX座標値デコーダ、610はY座標値デコーダ、611はX座標値デコード信号である。612は表示データの入出力を制御するI/Oポート、613は表示データを転送するデータバス、614はY座標値デコード信号である。615はメモリセル（スタティックRAM）、616は表示用のデータを転送するデータバスである。617はラッチ、618はラッチ617の出力する表示データを転送するデータバス、619はレベルシフト、620はレベルシフトされたデータを転送するデータバス、621は電圧セクタ、622は液晶印加電圧を転送する出力電圧線である。623はタイミング制御回路である。

【0017】次に、液晶ドライバ601の動作について説明する。

【0018】液晶ドライバ601は、I/Oインターフ

ェイスとなっていることから、データバス602を介して、アドレスレジスタ604にアクセスするレジスタのアドレスを設定し、このアドレスレジスタ604に設定したアドレスのレジスタをデータバス602を介してアクセスする。従って、表示メモリの描画アクセスは次の通りとなる。まず、アドレスレジスタ604にX座標値レジスタ605のアドレスを設定し、次に、このアドレスに従い、データバス602を介して描画を行うX座標値データをX座標値レジスタ605に設定する。次に、アドレスレジスタ604にY座標値レジスタ606のアドレスを設定し、このアドレスに従いデータバス602を介して、描画を行うY座標値データをY座標値レジスタ606に設定する。次に、I/Oポート612をアクセスすることで、メモリセル615内の任意の位置のデータが更新できる。メモリセル615に記憶されたデータは、タイミング制御回路623により、各液晶ドライバ601のデータ線分のデータを読み出し、ラッチ617に記憶した後、レベルシフタ619で電圧変換がなされ、電圧セクタ621で液晶印加電圧を選択して出力する。このメモリセル615からの読み出し制御を1水平期間毎に行うことで、液晶パネル219に表示が行える。

【0019】このように、液晶ドライバ601の各レジスタのデータを設定することで、メモリセル615の任意の位置のデータ更新が可能となる。

【0020】

【発明が解決しようとする課題】第1の従来例によれば、液晶ドライバはシリアル化された表示データを常時取り込み、1水平ライン分の表示データの取り込みが終了すると、液晶印加電圧に変換し、液晶パネルに出力して表示を行っていた。そのために、液晶ドライバにシリアル化した表示データを転送する手段が必要となっていた。第1の従来例において、1フレーム分の表示データが表示メモリに記憶されていることから、液晶パネルの動作条件が、フレーム周波数70Hz、液晶パネルの解像度が、垂直ライン数240ライン、水平ドット数320ドットであり、液晶ドライバ及び、表示メモリのデータバス幅を8ビットバスとすると、

約0.7MHz  
 $(=70(\text{Hz}) \times 240(\text{ライン}) \times 320(\text{ドット}) \div 8(\text{ビット}))$

周期で8ビットデータを常時表示メモリから読み出さなければならなかった。

【0021】よって、表示コントローラ、表示メモリ、液晶ドライバは約0.7MHz周期で動作しなければならず、表示画面が静止画像であっても、この動作を毎フレーム繰り返すことになっていた。

【0022】液晶ディスプレイ及びシステムの低消費電力化を図るには、消費電力がこの動作周波数に比例して増加することから、システムの動作効率を低下させるこ

となく、この動作周波数を低減する必要があった。

【0023】また、第1の従来例において、表示メモリは表示アクセスと描画アクセスが時分割に行われていた。表示アクセスが優先することから、描画アクセスは表示アクセスの合間をぬって実行する必要があり、高速に描画処理を実行したい場合でも、アクセス処理速度が表示アクセスによって制約されていた。

【0024】更に、第2の従来例においては、表示メモリに対して表示アクセスを行なうとき、CPUに対して“Busy”が与えてウェイトをかける。実際には、アドレスレジスタ604に“Busy”ビットがあり、CPUがこれをリード（ビジーチェック）することにより、両アクセスの調停が行なわれる。これにより、表示メモリに対する表示アクセスと描画アクセスとが競合した場合、描画アクセスが低速となる。また、任意位置の表示データを更新する際に、前述のように4回のレジスタデータ設定に後に表示データの更新が可能となることから、描画アクセスに時間を要し、システムの動作効率を低下させる要因となった。

【0025】また、第2の従来例において、階調表示への考慮や、液晶ドライバを液晶パネルのY軸側に設ける場合の考慮がなされていなかった。

【0026】本発明の目的は、システムの動作効率を低下させることなく、液晶ドライバの動作周波数を低減し、低消費電力化を図ることにある。

【0027】本発明の他の目的は、多階調表示の実現、液晶パネルのY軸方向に設ける機能等の使い勝手を考慮した機能を液晶ドライバに設けることである。

【0028】

【課題を解決するための手段】本発明による液晶ディスプレイは、複数のデータ線および複数の走査線の交点位置にマトリックス状に配列された画素部を有する液晶パネルと、前記複数の走査線に順次電圧を印加する走査回路と、上位装置からの表示データを受けて該表示データに対応した電圧を前記複数のデータ線に印加する液晶ドライバとを具備する液晶ディスプレイにおいて、前記走査回路は、表示のフレーム周期を表すフレーム表示同期信号と、表示のライン周期を表すライン表示同期信号を生成する回路を有し、前記液晶ドライバは、汎用のメモリインタフェースを介してアクセスされ、前記マトリックス状に配列された画素部に対応する表示データを格納する表示メモリと、該表示メモリに対して前記上位装置が表示データの読み出し書き込み制御を行うとき、前記上位装置が指定したアドレスを前記表示メモリのアドレスに変換するアドレス変換回路と、前記ライン表示同期信号に同期して、前記表示メモリの順次の1ライン上の表示データを読みだす読出し手段と、該読みだされた当該液晶ドライバの有する出力データ線分の表示データを同時に保持する保持回路と、該保持回路に保持された表示データを前記液晶パネルの液晶印加電圧に変換して出

力する回路と、前記表示メモリに格納された表示データに基づいて周期的に前記液晶パネルに前記液晶印加電圧を出力する表示動作と、該表示動作と非同期に行なわれる前記上位装置からの前記表示メモリに対する表示データの読み出し書き込み動作とを調停するタイミング制御回路とを有するものである。

#### 【0029】

【作用】本発明の液晶ドライバは、表示メモリを内蔵するので、CPUバスを介した周期的な表示データ的高速転送が不要となり、動作周波数を低減できる（1水平期間に1回の表示アクセスで済む）ので、低消費電力化を図ることができる。かつ、本発明の液晶ドライバは、汎用メモリインタフェースを介してアクセスすることができるので、CPUからは液晶ドライバ自体を汎用メモリとしてアクセスすることができ、従来のI/Oインタフェースによるアクセスに比べて描画速度を向上させることができる。

【0030】また、システムが指定したアドレス（CPUアドレス）を内蔵表示メモリのアドレスに変換するアドレス変換回路の採用により、CPUアドレスを、液晶パネルの表示画面のX方向アドレスおよびY方向アドレスを結合したアドレスとすることができ、描画時のアドレス算出が容易となる。

【0031】このアドレス変換回路は、同一構成の液晶ドライバ素子を組み合わせるより大きいサイズの液晶ドライバを構成したときにも有効である。すなわち、外部から供給される自己の配置位置を示す液晶ドライバIDを受けて、その配置位置に応じて自己の内蔵表示メモリのアドレスに変換することができる。この構成により、これらの組み合わせられた複数の液晶ドライバ素子は、CPUからは、単一の液晶ドライバと等価に見える。

【0032】さらに、表示メモリの表示時の読出しデータを保持する2段の保持回路（ラッチ回路）の採用により、表示アクセスを阻害することなく、任意時点での描画アクセスを実行可能とすることができる。

【0033】液晶ドライバを液晶パネルのY軸側に配置する場合に、表示メモリから液晶パネルに出力される際に同時に読みだされる同一アドレス上の複数画素分のうち順次異なる1画素を選択する選択手段を液晶ドライバ内に設けることにより、CPUからの描画時にはX軸側に配置された場合と同様に表示パネルの水平方向に並ぶ複数画素を同時にアクセスすることが可能になる。

#### 【0034】

【実施例】以下、本発明の実施例について詳細に説明する。

【0035】まず、本発明による液晶ドライバの第1の実施例を図1及び図7から図22を用いて説明する。

【0036】図1は、本液晶ドライバを使用した液晶ディスプレイの構成を示す。

【0037】図1において、101はアドレスを転送す

るアドレスバス、102は表示データを転送するデータバス、103は制御信号を転送する制御信号バス、104は走査回路149で生成した表示同期信号である。105-1と105-2とは、それぞれ集積回路化された液晶ドライバであり、その出力数は160出力とする。106、107はそれぞれ液晶ドライバ105-1、105-2の配置位置を示す3ビットのアドレスモード信号線である。アドレスモード信号線106は、ドライバID発生部96から本実施例では3ビットの固定データを受ける。また、アドレスモード信号線107は、ドライバID発生部97からやはり3ビットの固定データを受ける。ドライバID発生部96、97の発生するドライバIDは、後述するように、実装される液晶ドライバ（液晶ドライバ素子）にその配置位置を知らせるための固有のデータである。この固有の固定データ発生には、接地電位および電源電位の組み合わせによって容易に得ることができる。108はアドレスバス101から入力するアドレス値をアドレスモード信号線に従ってメモリ内部のアドレスに変換するアドレス制御回路である。109はシステムからの制御信号バス103、および表示同期信号104に基づいて、描画、表示動作を制御するタイミング制御回路、110はデータバス102との入出力制御を行うインタフェース回路（IF）、111は表示用のロウアドレスを生成する表示アドレスカウンタ（CNT）、112は表示アドレスバス、113、114はそれぞれアドレス制御回路108で生成したメモリセルのカラムアドレス、ロウアドレスである。115は表示用アドレスと描画用アドレスを制御信号116で選択するセレクト、117はセレクト115で選択したメモリロウアドレス、118はメモリセルのワード線を選択するロウアドレスデコーダ（DEC）、119はロウアドレスデコーダ118で生成した選択信号バス、120はメモリセルの信号線を選択する選択信号を生成するカラムアドレスデコーダ（DEC）、121はカラムアドレスデコーダ120で生成した選択信号バス、122は入出双方向のデータバス、123はデータバス122を選択信号バス121で選択するメモリセルの信号線と接続するセレクト、124はセレクト123を介した信号線バスである。125は、160出力、4階調に対応した160画素×240ライン×2ビット＝76800ビットの容量を持つメモリセルである。126、127、128、129、130、131はそれぞれタイミング制御回路109で生成する制御信号であり、126はアドレス変換用制御信号、127はデータの入出力制御用の制御信号、128は表示アドレスカウンタ用の制御信号、129はFRCパターン生成回路（FRC）133を制御する制御信号、130、131はそれぞれ表示用ラッチ信号である。FRC（Frame Rate Control）は、ある液晶画素に対して複数フレーム周期で異なる印加電圧を印加することにより当該液

晶画素の階調表示を実現する手法であり、本出願人により先に出願されている特願平3-253455号および特願平54-220436号等に詳細に記載されている。

【0038】132はメモリセル125からの160出力×2ビット=320本のデータバス、134はFRCデータバス、135はFRCデータバス134とデータバス132から出力データを選択するFRCセクタ、136は160ビットのデータバス、137はデータバス136のデータを160ビット同時にラッチ信号130のハイレベルでラッチする160ビットのラッチ回路、138はラッチ回路137の出力データのデータバス、139はデータバス138のデータを160ビット同時にラッチ信号131の立上りエッジでラッチする160ビットのラッチ回路、140はラッチ回路139の出力データのデータバス、141は液晶駆動電圧に対応した電圧レベルに信号電圧をシフトするレベルシフタ、142はレベルシフトしたデータバス、143は交流化信号とデータをデコードするデコーダ、144はデコードされた選択信号バス、145は液晶印加電圧を選択する電圧セクタ、146は出力電圧線である。147は表示用の基準クロックを生成する発振器、148は表示用の基準クロック、149は240ラインを駆動する走査回路で、液晶ドライバ用の表示同期信号104を生成する。150は走査回路149で生成された走査信号バス、151は解像度320ドット×240ラインの液晶パネルである。152は電源回路、153は走査回路149を駆動する駆動電圧線、154は液晶ドライバ105に液晶駆動電圧を転送する電圧線である。

【0039】本実施例では、メモリセル125としてSRAMを用い、メモリインタフェースとして、汎用のDRAM（ダイナミックランダムアクセスメモリ）インタフェースを用いている。DRAMインタフェースは、ロウアドレスとカラムアドレスとをマルチプレクスして転送するので、アドレスバスの線数を低減することができ、後述する携帯型の情報機器に有効である。

【0040】次に、本発明の液晶ドライバの動作について、図1を用いて説明する。

【0041】まず始めに、描画動作について説明する。図1に示すように、アドレスバス101からのアドレスはアドレス制御回路108に入力され、制御信号バス102からタイミング制御回路109を介して入力されるRAS信号、CAS信号の立下がりによってラッチされる。ラッチされたアドレスはアドレス制御回路108でメモリセル125のカラムアドレス113、ロウアドレス114に変換される。カラムアドレス113はカラムアドレスデコーダ120に転送され、カラムアドレス113に対応した選択信号バス121を有効にする。ロウアドレス114はセクタ115に転送され、CPUアクセスの期間はロウアドレス114が選択されメモリロウアド

レス117に出力されるように、タイミング制御回路109からの制御信号116によりセクタ115が制御される。メモリロウアドレス117はロウアドレスデコーダ118に入力され、メモリロウアドレスに対応した選択信号バス119を有効にする。データバス102は入出力制御を行うインタフェース回路110に接続し、ライトサイクル、リードサイクルに対応してインタフェース回路110が入出力状態になるように、タイミング制御回路109で制御信号127が制御される。そして、ライトサイクルではデータバス102が入力状態（液晶ドライバ105からみて）となり、カラムアドレス113に対応したセクタ123が有効となりデータが書き込まれる。一方、ロウアドレス114に対応した選択信号バス119が有効となっているため、データバス102のデータはアドレスバス101に対応したメモリセル125に書き込まれる。また、リードサイクルではデータバス102が出力状態（液晶ドライバ105からみて）となり、カラムアドレス113に対応したセクタ123が有効となりデータが読み込まれる。一方、ロウアドレス114に対応した選択信号バス119が有効となっているため、データバス102にアドレスバス101に対応したメモリセル125のデータが出力される。

【0042】このようにすることで、CPU等のシステムからの本液晶ドライバへの描画アクセスが可能となる。

【0043】次に、表示動作について説明する。表示動作は、メモリセル125の表示データを1ライン（水平ライン）分、同時に読みだし、走査回路149の走査信号に同期して液晶パネル151を駆動し表示を行う。表示動作を行うためのフレーム周期を示すFLM信号とライン周期を示すCL1信号とは、走査回路149で生成され、表示同期信号104としてタイミング制御回路109に入力される。タイミング制御回路109で生成した表示用の制御信号128により表示アドレスカウンタ111はライン周期毎にカウントし表示アドレスを更新し、フレーム周期毎にカウント値をリセットする。これにより、一定の周期で表示アドレスを0から239まで順次生成することができる。表示アドレス112は制御信号116によりセクタ115で選択されロウアドレスデコーダ118に入力され、表示アドレス112に対応した選択信号バス119が有効になり、メモリセル125の1ラインのデータが読みだされる。読みだされた表示データはデータバス132を介してFRCセクタ135に入力される。FRCパターン生成回路133では制御信号129に従ってFRC表示パターンが生成され、FRCデータバス134を介してFRCセクタ135に入力される。FRCセクタ135では、データバス132の1出力あたり2ビットの表示データとFRCデータ134とから、FRC階調表示制御を行った1

出力あたり1ビットの表示データをデータバス136に出力する。ラッチ回路137ではレベルラッチ回路であり、表示用ラッチ信号130のローレベルで表示データ136をラッチし、ラッチ回路139はエッジラッチ回路でありデータバス138上のデータを表示用ラッチ信号131の立上りエッジでラッチする。表示用ラッチ信号130、131の位相関係からラッチ回路139には、表示アドレスカウンタの示すアドレスの1ライン前のデータがライン周期毎に順次ラッチされる。データバス140はレベルシフト141で液晶駆動電圧に電圧がシフトされ、データバス142に出力される。デコーダ143では交流化信号とデータバス142上のデータとをデコードして、そのデコード出力を選択信号バス144に出力し、電圧セクタ145で液晶印加電圧を選択し出力電圧線146に出力する。一方、走査回路149では、発振器147で生成した表示用基準クロック148を基にフレーム周期を示す表示同期信号FLM、ライン周期を示す表示同期信号CL1を生成し、表示同期信号104として液晶ドライバ105に転送する。走査回路149は表示同期信号CL1に同期して走査信号150を1ラインずつ順次有効にする。従って、表示同期信号CL1に同期して、液晶ドライバ105の出力電圧線146から表示データに対応した液晶印加電圧が出力され、走査信号150が順次有効となり液晶パネル151を駆動する。

【0044】このようにすることで、本液晶ドライバへの表示アクセスが可能となる。

【0045】次に、図7を用いて株式会社日立製作所SHマイコンシリーズのようにDRAMインタフェースを備えたCPUを使用した場合の本実施例の液晶ドライバを用いたパソコン、ワークステーション等の液晶ディスプレイシステムについて説明する。

【0046】図7は本実施例の液晶ディスプレイを用いたシステム構成図を示している。図7において、701はCPU、702はメインメモリ、703はI/O装置、704はアドレスバス、705はデータバス、706は制御信号バスである。液晶ドライバ105は、CPU701が制御するアドレスバス704、データバス705、制御信号バス706を介して転送されるアドレス、データ、制御信号により描画アクセスを行ない、走査回路149から転送される表示同期信号104に同期して表示アクセスを行なう。

【0047】CPU701、メインメモリ702、I/O装置703、液晶ドライバ105は、各々、アドレスバス704、データバス705、制御信号バス706に接続されており、CPU701から、アドレスバス704、データバス705、制御信号バス706を介してメインメモリ702、I/O装置703、液晶ドライバ105をアクセスすることができる。CPU701から出力されるロウアドレス、カラムアドレスはアドレスバス

704を介して液晶ドライバ105に転送される。それに同期して、メモリ制御信号RAS、CAS等もCPU701から出力され、制御信号バス706を介して液晶ドライバ105に転送される。液晶ドライバ105に転送されたアドレスは液晶ドライバ105内のアドレス制御回路108でメモリマップに対応したアドレスに変換される。

【0048】ここで、図9、10、11、12、13、14を用いて、メモリマップとアドレス変換について説明する。

【0049】図9(a)、(b)は、それぞれCPU、液晶ドライバから見た画面对応のメモリマップを示す。

【0050】320画素×240ラインの画面を1アドレス4画素で割り付けると、図9(a)に示すようにCPU701から見た画面のメモリマップは、16進表示を用いて表すと1ライン目では00000Hから0004FHとなり、2ライン目では00100Hから0014FHとなり、240ライン目では0EF00Hから0EF4FHとなる。ここで、ラインとラインの境目でアドレスに飛びが生じるのは、アドレスの制御を容易にするためアドレスの下位8ビットをX方向アドレス、上位9ビットをY方向アドレスとしたためである。これに対し、液晶ドライバ105-1、105-2から見たメモリマップは、同図(b)に示すように、内蔵するメモリセル125のメモリマップとなるためCPU701から見た画面のメモリマップとは異なり、メモリセル125のアドレスの下位6ビットをカラム方向アドレス、上位8ビットをロウ方向アドレスとすることで液晶ドライバ105-1、105-2ともに、1ライン目では0000Hから0027Hとなり、2ライン目では0040Hから0066Hとなり、240ライン目では3BC0Hから3BE7Hとなる。従って、CPU701から転送されるアドレスをそのまま用いると液晶ドライバ105-1、105-2に内蔵するメモリセル125のアドレス指定が正しく行われないことになるため、アドレス制御回路108においてX方向アドレス8ビットをカラム方向アドレス6ビット、Y方向アドレス9ビットをロウ方向アドレス8ビットにアドレス変換を行う必要がある。そこで、アドレス制御回路108でX方向アドレス下位8ビットをカラム方向アドレス下位6ビットに、Y方向アドレス上位9ビットをロウ方向アドレス上位8ビットに変換することにより、CPU701から見たアドレス00000Hから00027Hを、メモリセル125-1のアドレス0000Hから0027Hに、CPUの00028Hから0004FHをメモリセル125-2の0000Hから0027Hに変換し、これを各ラインについて順次実行し、最後のラインについてCPUの0EF00Hから0EF27Hをメモリセル125-1の3BC0Hから3BE6Hに、CPUの0EF28Hから0EF4FHをメモリセル125-2の3BC0Hから

ら3BE7Hに変換するアドレス変換を行う。これにより、CPUのメモリマップをメモリセル125のメモリマップに対応させることができアドレスの指定を正しく行うことができる。

【0051】複数の液晶ドライバ105の液晶パネルに対する配置構成位置をアドレスモード信号で設定する。各配置構成におけるアドレス変換は次のように行う。

【0052】図10に示すように、液晶ドライバ105にはMODEA2、MODEA1、MODEA0の3ビットの制御信号であるアドレスモード信号(106または107)が入力され、これをデコードすることにより自己がどこに配置されているかを認識することができる。すなわち、自己がドライバID0から7までの8通りの液晶ドライバのいずれのドライバであるかを識別することができる。

【0053】図11、図12、図13、図14に液晶パネルの解像度が160画素×240ライン、320画素×240ライン、320画素×480ライン、640画素×480ラインの場合のそれぞれの液晶ドライバの配置構成とアドレスIDを示す。これらの図(特に図14)から分かるように、本実施例では1個の液晶ドライバを縦長に用い、左上のドライバがID0、その下のドライバがID1、ID0のドライバの右隣のドライバがID2、その下のドライバがID3、ID2の右隣のドライバがID4、その下のドライバがID5という順にIDが決定されている。これらの構成において、ラインスキャン(走査)方向は縦方向である。

【0054】図1、図7の液晶ディスプレイシステムの場合、図12の構成に対応するので、ドライバ105-1のアドレスモード信号線106はMODEA2、A1、A0="000"すなわちドライバID=0、ドライバ105-2のアドレスモード信号線107はMODEA2、A1、A0="010"すなわちドライバID=2になるように設定する。つまり、アドレスモード信号の設定でその液晶ドライバの配置位置に対応したアドレス制御に切り換えることによりメモリセル125に対して正しいアドレス指定を行うことができる。

【0055】さらに、アドレスモード信号線と入力されるアドレスとから、その液晶ドライバ自身に対するアクセスが否か判定し液晶ドライバ内部でチップセレクト信号を生成することで、CPUが複数の液晶ドライバ105を個別にアクセスすることができる。図1、図7の液晶ディスプレイシステムの場合、ドライバ105-1のアドレスモード信号線106はMODEA2、A1、A0="000"(ドライバID=0)、ドライバ105-2のアドレスモード信号線107はMODEA2、A1、A0="010"(ドライバID=2)になるように設定することにより、例えば、CPU701からアドレス"0EF27H"が指定された場合、液晶ドライバ105-1は内部でチップセレクト信号を生成しそのア

クセスを実行し、CPU701からアドレス"0EF28H"が指定された場合、液晶ドライバ105-2は内部でチップセレクト信号を生成しそのアクセスを実行する。

【0056】次に、図8を用いて株式会社日立製作所H8シリーズのようにDRAMインタフェースを備えないCPUを使用した場合の実施例である、液晶ドライバを用いたパソコン、ワークステーション等の液晶ディスプレイシステムについて説明する。

【0057】図8において、804はアドレスバス、805はデータバス、806は制御信号バスである。807はアドレスバス804、データバス805、制御信号バス806を受け、液晶ドライバ105のメモリへの描画アクセスのための制御を行うメモリコントローラ、808、809、810はそれぞれメモリコントローラ807で制御されたメモリ描画用のアドレスバス、データバス、制御信号バスである。

【0058】CPU801、メインメモリ802、I/O装置803、メモリコントローラ807は、各々、アドレスバス804、データバス805、制御信号バス806に接続されており、CPU801からアドレスバス804、データバス805、制御信号バス806を介してメインメモリ802、I/O装置803、メモリコントローラ807をアクセスすることができる。CPU801から出力されるアドレスはアドレスバス804を介してメモリコントローラ807に転送されラッチされる。それに同期して、制御信号もCPU801から出力され、制御信号バス806を介してメモリコントローラ807に転送される。メモリコントローラ807では、アドレスバス804、制御信号バス806から入力されたアドレスと制御信号から、ロウアドレス、カラムアドレスとメモリ制御信号RAS、CAS等をアドレスデータバス808、制御信号バス810にタイミングを合わせて出力し、液晶ドライバ105にアクセスする。以後、液晶ドライバ105の動作については、図7に示した液晶ディスプレイシステムと同様である。

【0059】次に、図1と図15から図21を用いて液晶ドライバ105の描画メモリアクセスの詳細なタイミングを説明する。

【0060】図15を用いてメモリリードサイクルについて説明する。ロウアドレス、カラムアドレスはそれぞれアドレスバス101から入力され、制御信号バス103から入力されるRAS信号の立ち下がりでロウアドレスが取り込まれ、CAS信号の立ち下がりでカラムアドレスが取り込まれる。そして、アドレス制御回路108で前述のようなアドレス変換が行われ、メモリセル125のロウアドレス、カラムアドレスが指定され、データがDT/OE信号のローレベル期間にリードデータが出力される。

【0061】図16を用いてメモリアーライトサイク

ルについて説明する。ロウアドレス、カラムアドレスはそれぞれアドレスバス101から入力され、制御信号バス103から入力されるRAS信号の立ち下がりでロウアドレスが取り込まれ、CAS信号の立ち下がりでカラムアドレスが取り込まれる。そして、WE信号がローレベルであるCAS信号の立ち下がりでライトデータが取り込まれ、アドレス制御回路108でアドレス変換が行われ、メモリセル125のロウアドレス、カラムアドレスが指定されライトデータが書き込まれる。

【0062】図17を用いてメモリディレイドライトサイクルについて説明する。ロウアドレス、カラムアドレスはそれぞれアドレスバス101から入力され、制御信号バス103から入力されるRAS信号の立ち下がりでロウアドレスが取り込まれ、CAS信号の立ち下がりでカラムアドレスが取り込まれる。そして、CAS信号がローレベルであるWE信号の立ち下がりでライトデータが取り込まれ、アドレス制御回路108でアドレス変換が行われ、メモリセル125のロウアドレス、カラムアドレスが指定されライトデータが書き込まれる。

【0063】図18を用いてメモリリードモディファイライトサイクルについて説明する。ロウアドレス、カラムアドレスはそれぞれアドレスバス101から入力され、制御信号バス103から入力されるRAS信号の立ち下がりでロウアドレスが取り込まれ、CAS信号の立ち下がりでカラムアドレスが取り込まれる。また、マスクデータがRAS信号の立ち下がりで取り込まれる。そして、アドレス制御回路108でアドレス変換が行われ、メモリセル125のロウアドレス、カラムアドレスが指定され、データがDT/OE信号のローレベル期間にリードデータが出力される。CAS信号がローレベルであるWE信号の立ち下がりで、ライトデータを取り込み、アドレス制御回路108でアドレス変換が行われ、メモリセル125のロウアドレス、カラムアドレスが指定され、マスクデータに対応したビットはマスクされてライトデータが書き込まれる。

【0064】次に、高速アクセスが可能なページモードアクセスについて説明する。ページモードアクセスでは同一のロウアドレスのデータに対して、最初にランダムアクセスと同様にロウアドレスとカラムアドレスを指定し、次のサイクルからカラムアドレスのみを指定することで高速なアクセスが可能となる。

【0065】図19を用いてメモリページモードリードサイクルについて説明する。ロウアドレス、カラムアドレスはそれぞれアドレスバス101から入力され、制御信号バス103から入力されるRAS信号の立ち下がりでロウアドレスが取り込まれ、CAS信号の立ち下がりでカラムアドレスが取り込まれる。そして、アドレス制御回路108でアドレス変換が行われ、メモリセル125のロウアドレス、カラムアドレスが指定され、データがDT/OE信号のローレベル期間にリードデータが出

力される。さらに、RAS信号がローレベルのままCAS信号の立ち下がりでカラムアドレスが再度取り込まれ、ロウアドレスはそのままでメモリセル125のロウアドレス、カラムアドレスが指定され、DT/OE信号のローレベル期間にリードデータが出力される。以後、この動作が繰り返され、複数のリードデータが順次出力される。

【0066】図20を用いてメモリページモードアーリライトサイクルについて説明する。ロウアドレス、カラムアドレスはそれぞれアドレスバス101から入力され、制御信号バス103から入力されるRAS信号の立ち下がりでロウアドレスが取り込まれ、CAS信号の立ち下がりでカラムアドレスが取り込まれる。そして、WE信号がローレベルであるCAS信号の立ち下がりでライトデータが取り込まれ、アドレス制御回路108でアドレス変換が行われ、メモリセル125のロウアドレス、カラムアドレスが指定されライトデータが書き込まれる。さらに、RAS信号がローレベルのままCAS信号の立ち下がりでカラムアドレスが再度取り込まれ、WE信号がローレベルであるCAS信号の立ち下がりでライトデータが取り込まれ、ロウアドレスはそのままでメモリセル125のロウアドレス、カラムアドレスが指定され、ライトデータが書き込まれる。以後、この動作が繰り返され、複数のライトデータが順次書き込まれる。

【0067】図21を用いてメモリページモードディレイドライトサイクルについて説明する。ロウアドレス、カラムアドレスはそれぞれアドレスバス101から入力され、制御信号バス103から入力されるRAS信号の立ち下がりでロウアドレスが取り込まれ、CAS信号の立ち下がりでカラムアドレスが取り込まれる。そして、CAS信号がローレベルであるWE信号の立ち下がりでライトデータが取り込まれ、アドレス制御回路108でアドレス変換が行われ、メモリセル125のロウアドレス、カラムアドレスが指定されライトデータが書き込まれる。さらに、RAS信号がローレベルのままCAS信号の立ち下がりでカラムアドレスが再度取り込まれ、CAS信号がローレベルであるWE信号の立ち下がりでライトデータが取り込まれ、ロウアドレスはそのままでメモリセル125のロウアドレス、カラムアドレスが指定され、ライトデータが書き込まれる。以後、この動作が繰り返され、複数のライトデータが順次書き込まれる。

【0068】このように、ランダムアクセス、ページモードアクセス等の株式会社日立製作所「日立ICメモリデータブック2」に記載されているような汎用のDRAMアクセスサイクルをサポートすることで、本液晶ドライバを用いた液晶ディスプレイシステムを容易に構成することができる。

【0069】次に、図1、図22、図23を用いて表示アクセスの詳細なタイミングについて説明する。

【0070】表示アクセスは、走査回路149の表示同

期信号104に同期した同一周期で、メモリセル125の1ライン毎の表示データを液晶印加電圧に変換して出力電圧線146から出力し液晶パネル151を駆動する動作である。

【0071】図22に示すように、表示用同期信号CL1の立上りに同期して表示アドレスカウンタ111がカウントアップし、順次ロウアドレスをカウントアップすることにより、表示用同期信号CL1の立上りに同期して出力電圧線146から1ロウ分ずつ液晶印加電圧を出力する。具体的には、表示アクセスは、表示同期信号CL1に同期してラッチ信号130が立上り、ラッチ回路137をスルーにした後、ラッチ信号130の立下りでFRCセクタ135の出力を保持する。一方、ラッチ回路139は、表示同期信号CL1に同期した制御信号131にตอบสนองして、CL1の立上りでラッチデータ138をラッチする。CPUからの描画アクセスは、一定の周期で行なわれる表示アクセスの合間に行なうことができる。RAS信号の立下りでロウアドレスが保持され、続くCAS信号の立下りでコラムアドレスが保持され、両アドレスで指示される記憶位置がアクセスされる。CPUからのロウアドレスとカウンタ111からのロウアドレスを切替るセクタ115への制御信号(MAMPX)116は、CAS信号の立下り時にローレベルとなり、描画側に切り替わる。次の表示同期信号CL1の立上りで制御信号116はハイレベルに戻る。

【0072】ところで、描画アクセスと表示アクセスとはそれぞれ独立しており非同期であるため、描画アクセスと表示アクセスのタイミングが重なる場合がある。図23に、描画アクセスと表示アクセスが重なった場合のタイミングを示す。表示動作は一定の周期で行わないと液晶パネルの表示品質が悪くなる。本実施例では、2段のラッチ回路137およびラッチ回路139を設けることで描画アクセスと表示アクセスとが重なった場合でも、表示動作を一定の周期で行うことができる。

【0073】図23に示すように、RAS信号のローレベル期間に表示同期信号CL1が入力された場合、ラッチ回路137に対するラッチ信号130が表示同期信号CL1に同期して立ち上がるのが抑止され、描画アクセスが優先される。すなわち、CPUからの描画アクセスはロウアドレス、コラムアドレスが共に確定するCAS信号の立ち下がりからメモリセル125にアクセスを行い、CAS信号の立上りで終了する。セクタ115の制御信号(MAMPX)116はローレベルで描画用アドレスを選択し、ハイレベルで表示用アドレスを選択する。描画アクセスの場合、制御信号116は、CAS信号の立下りでローレベルとなるが、表示アクセスと競合した場合には、CAS信号の立上りで制御信号116をハイレベルに戻し、描画アクセス後、直ちにラッチデータ138の更新に移行する。

【0074】表示アクセスでは、図22の場合と同様、

表示同期信号CL1の立上りで、表示アドレスカウンタ111をnからn+1にカウントアップし、ロウアドレスnに対応するラッチデータ138を制御信号131にตอบสนองしてラッチ回路139でラッチする。このように、ラッチデータ140の更新は、アクセスの競合に拘らず予定通り行なわれる。但し、立上りが抑止されていたラッチ信号130は、CAS信号が立上った(描画アクセスが終了した)時点で立ち上げられ、これによりラッチデータ180をロウアドレスn+1に対応するデータに更新する。その結果、次の表示同期信号CL1の立上りで、ラッチデータ140は、更新されたラッチデータ138に追従することができる。ラッチ回路137はレベルラッチ回路であるため、ロウアドレスn+1、n+2のデータを順次取り込み、ラッチ信号130の立ち下がりによってロウアドレスn+2のデータを保持する。つまり、CPUからの描画アクセスはCAS信号のローレベル期間で行い、表示アクセスについては液晶パネルへの出力動作は表示同期信号CL1の立上りで常に行うとともに、メモリセル125からデータの読みだし動作は描画アクセスと重なる場合については次の表示同期信号CL1までの描画アクセスが無い期間に行う(描画アクセスが連続する場合でも描画アクセス中のCAS信号のローレベル期間以外の期間にメモリセル125からデータの読みだし動作を行う)。

【0075】このようにラッチ回路137、139を2段設け、それぞれのラッチ信号130、131を巧妙に制御することにより、描画アクセスと表示アクセスが重なる場合でも、それぞれのアクセスを正常に行うことができる。

【0076】このためCPUからの描画アクセスは、表示アクセスの制限無く、常に実行することができるため高速な描画を実現できる。

【0077】以上述べた、第1の実施例では、160画素×240ライン×2ビット=76800ビットのメモリ容量を持ち、出力数160出力の場合についてであったが、他のメモリ容量や他の出力数に関しても、アドレス制御回路や表示アドレスカウンタ等をそれに対応して変えることで対応できる。また、多階調化に関しても、第1の実施例では1画素あたり2ビットの階調データを持ちFRC方式により4階調表示を行っているが、FRCパターン、階調データを増やしそれに対応してメモリ容量、FRCセクタ等を変えて対応できる。さらに、階調制御方式に関しても、FRC方式だけではなくパルス幅変調方式を用いても階調表示を行うことも可能である。

【0078】次に、液晶ドライバを縦(Y軸側)に配置した本発明の第2の実施例を図24から図32を用いて説明する。

【0079】図24は、本発明の液晶ドライバを使用した液晶ディスプレイの構成図である。



【0080】図24において、2401はアドレスを転送するアドレスバス、2402は表示データを転送するデータバス、2403は制御信号を転送する制御信号バス、2404は走査ドライバで生成した表示同期信号である。2405は本発明の液晶ドライバであり、出力数は160出力とする。2406、2407はそれぞれ液晶ドライバ2405-1、2405-2の構成位置を示す3ビットのアドレスモード信号線、2408はアドレスバス2401から入力するアドレス値をアドレスモード信号線に従ってメモリ内部のアドレスに変換するアドレス制御回路である。2409は、システムからの制御信号バス2403、表示同期信号2404から描画、表示動作を制御するタイミング制御回路、2410はデータバス2402との入出力制御を行うインタフェース回路、2411は表示用のロウアドレスを生成する表示アドレスカウンタ、2412は表示アドレスバス、2413、2414はそれぞれアドレス制御回路2408で生成したメモリセルのカラムアドレス、ロウアドレスである。2415は表示用アドレスと描画用アドレスを制御信号2416で選択するセレクタ、2417はセレクタ2415で選択したメモリロウアドレス、2418はメモリセルのワード線を選択するロウアドレスデコーダ、2455はロウアドレスデコーダ2418で生成した選択信号バス、2456はロウアドレスデコーダ2418で生成した選択信号バス、2420はメモリセルの信号線を選択する選択信号を生成するカラムアドレスデコーダ、2421はカラムアドレスデコーダ2420で生成した選択信号バス、2422は入出力双方向のデータバス、2423はデータバス2422を選択信号バス2421で選択するメモリセルの信号線と接続するセレクタ、2424はセレクタ2423を介した信号線バス、2425は160出力、4階調に対応した160画素×240ライン×2ビット=76800ビットの容量を持つメモリセルである。2426、2427、2428、2429、2430、2431はそれぞれタイミング制御回路2409で生成する制御信号で、2426はアドレス変換用制御信号、2427はデータの入出力制御用の制御信号、2428は表示アドレスカウンタ用の制御信号、2429はFRCパターン生成回路2433を制御する制御信号、2430、2431はそれぞれ表示用ラッチ信号である。2432はメモリセル2425からの160出力×2ビット=320本のデータバス、2457は同じアドレスに接続された4画素のデータを選択するセレクタ、2458はセレクタ2457で選択されたデータバス、2433はFRCパターン生成回路、2434はFRCデータバス、2435はFRCデータバス2434とデータバス2432から出力データを選択するFRCセレクタ、2436は160ビットのデータバス、2437はデータバス2436のデータを160ビット同時にラッチ信号2430のハイレベルでラッチ

する160ビットのラッチ回路、2438はラッチ回路2437の出力データのデータバス、2439はデータバス2438のデータを160ビット同時にラッチ信号2431の立上りエッジでラッチする160ビットのラッチ回路、2440はラッチ回路2439の出力データのデータバス、2441は液晶駆動電圧に対応した電圧レベルに信号電圧をシフトするレベルシフタ、2442はレベルシフトしたデータバス、2443は交流化信号とデータとをデコードするデコーダ、2444はデコードされた選択信号バス、2445は液晶印加電圧を選択する電圧セレクタ、2446は出力電圧線である。2447は表示用の基準クロックを生成する発振器、2448は表示用の基準クロック、2449は240ラインを駆動する走査回路で、液晶ドライバ用の表示同期信号2404を生成する。2450は走査回路2449で生成された走査信号バス、2451は解像度320ドット×240ラインの液晶パネルである。2452は電源回路、2453は走査回路2449を駆動する駆動電圧線、2454は液晶ドライバ2405に液晶駆動電圧を転送する電圧線である。

【0081】次に、第2の実施例における液晶ドライバの動作について、図24の構成図を用いて説明する。

【0082】まず始めに、描画動作について説明する。図24に示すように、アドレスバス2401からのロウアドレスおよびカラムアドレスはアドレス制御回路2408に入力され、それぞれ制御信号バス2402からタイミング制御回路2409を介して入力される制御信号のRAS信号、CAS信号の立下がりラッチされる。ラッチされたアドレスはアドレス制御回路2408でメモリセル2425のカラムアドレス2413、ロウアドレス2414に変換される。カラムアドレス2413はカラムアドレスデコーダ2420に転送され、カラムアドレス2413に対応した選択信号バス2421を有効にする。ロウアドレス2414はセレクタ2415に転送され、CPUアクセスの期間はロウアドレス2414が選択されメモリロウアドレス2417に出力されるように、タイミング制御回路2409で制御信号2416が制御される。メモリロウアドレス2417はロウアドレスデコーダ2418に入力され、メモリロウアドレスに対応した選択信号バス2419を有効にする。データバス2402は入出力制御を行うインタフェース回路2410に接続され、ライトサイクル、リードサイクルに対応してインターフェイス回路2410が入出力状態になるようにタイミング制御回路2409で制御信号2427が制御される。そして、ライトサイクルではデータバス2402が入力状態（液晶ドライバからみて）となり、カラムアドレス2410に対応したセレクタ2423が有効となりデータが書き込まれる。一方、ロウアドレス2414に対応した選択信号バス2419が有効となっているため、データバス2402のデータはアドレ

スバス2401に対応したメモリセル2425に書き込まれる。また、リードサイクルではデータバス2402が出力状態（液晶ドライバからみて）となり、カラムアドレス2413に対応したセクタ2423が有効となりデータが読み込まれる。一方、ロウアドレス2414に対応した選択信号バス2419が有効となっているため、データバス2402にアドレスバス2401に対応したメモリセル2425のデータが出力される。

【0083】このようにすることでCPU等のシステムからの本液晶ドライバへの描画アクセスが可能となる。

【0084】次に、表示動作について説明する。表示動作は、メモリセルの表示データを1ライン（垂直1ライン）同時に読みだし、走査回路2449の走査信号に同期して液晶パネルを駆動し表示を行う。表示動作を行うためのフレーム周期を示すFLM信号とライン周期を示すCL1信号は、走査回路2449で生成され、表示同期信号2404としてタイミング制御回路2407に入力する。タイミング制御回路2407で生成した表示用の制御信号2425により表示アドレスカウンタ2409はライン周期毎にカウントし表示アドレスを更新し、フレーム周期毎にカウント値をリセットする。これにより、一定の周期で表示アドレスを0から239まで順次生成することができる。表示アドレス2412は制御信号2416によりセクタ2415で選択されロウアドレスデコーダ2418に入力され、表示アドレス2412に対応した選択信号バス2419が有効になり、メモリセル2425の1ラインのデータが読みだされる。

【0085】ここで図32を用いて第2の実施例におけるメモリセルの詳細な動作を説明する。

【0086】メモリセル2425は同一アドレスに4画素×2ビット＝8ビットのデータを割り当てており、その4画素は液晶パネルの画面の横（水平）方向4画素に対応しているため、描画アクセスでは4画素同時にリード／ライトを行う必要があり、且つ表示アクセスではライン走査方向が液晶パネルの画面の横方向である（垂直1ラインずつ同時に読みだす）ため上記4画素を表示アクセスごとにそのうちの1画素ずつ1本の出力電圧線から出力する必要がある。このため図32に詳細を示すセクタ2457を持つ構成とした。

【0087】メモリセル2425の動作について説明する。描画アクセスでは、カラムアドレスデコーダ2420が8ビットのカラムアドレスから160本の選択信号2421を生成し、選択信号線2421の1本で8ビット分の信号線をセクタ2423で選択し、それに対応した8ビット分の信号線2424を有効にし、ロウアドレスデコーダ2418が6ビットのロウアドレスから60本の選択信号2455を生成し、選択することでリード／ライト動作を行うことができる。

【0088】表示動作では、表示アドレスカウンタで生成される表示アドレス8ビットからロウアドレスデコー

ダ2418で上位6ビットから60本の選択信号線2455を生成し、下位2ビットから4本の選択信号線2456を生成する。選択信号2455で選択したデータ2432を選択信号2456とセクタ2457で選択し160出力×2ビット＝320ビットのデータ2458が読みだされ、FRCセクタ2435に出力される。

【0089】この表示アクセスについて、図38によりさらに補足説明する。ライン走査方向を液晶パネルの水平方向とするために、順次メモリセル2445のロウ番号を更新してメモリ内容を読みだすが、1ロウには画素0～画素3の4画素分が含まれているのでそれぞれの4画素の組の中からまず画素0のみを取り出し、1ライン出力とする。続いて順次、画素1、2、3と同様に繰り返す。

【0090】ここで再び図24に戻って、FRCパターン生成回路2433では制御信号2429に従ってFRC表示パターンが生成され、FRCデータバス2434を介してFRCセクタ2435に入力される。FRCセクタ2435では、データバス2432の1出力あたり2ビットの表示データとFRCデータ2434とからFRC階調表示制御を行った1出力あたり1ビットの表示データをデータバス2436に出力する。ラッチ回路2437では表示用ラッチ信号2430のハイレベルで表示データ2436をラッチし、ラッチ回路2439ではその出力データのデータバス2438を表示用ラッチ信号2431の立上りエッジでラッチする。表示用ラッチ信号2430、2431の位相関係からラッチ回路2439には、表示アドレスカウンタの示すアドレスの1ライン前のデータがライン周期毎に順次ラッチされる。データバス2440はレベルシフタ2441で液晶駆動電圧に電圧がシフトされ、データバス2442として出力される。デコーダ2443では交流化信号とデータバス2442とをデコードして選択信号バス2444に出力し、電圧セクタ2445で液晶印加電圧を選択し出力電圧線2446に出力する。一方、走査回路2449では、発振器147で生成した表示用基準クロック148を基にフレーム周期を示す表示同期信号FLM、ライン周期を示す表示同期信号CL1を生成し、表示同期信号2404として液晶ドライバ2405に転送する。走査回路2449は、表示同期信号CL1に同期して走査信号2450を1ラインずつ順次有効にする。従って、表示同期信号CL1に同期して、液晶ドライバ2405の出力電圧線2446から表示データに対応した液晶印加電圧が出力され、走査信号2450が順次有効となり液晶パネル2451を駆動する。

【0091】このようにすることで、本液晶ドライバへの表示アクセスが可能となる。

【0092】次に、図25を用いて株式会社日立製作所SHマイコンシリーズのようにDRAMインタフェースを備えたCPUを使用した場合の本実施例の液晶ドライ

バを用いたパソコン、ワークステーション等の液晶ディスプレイシステムについて説明する。

【0093】図25に示すように、CPU2501、メインメモリ2502、I/O装置2503、液晶ドライバ2405はアドレスバス2504、データバス2505、制御信号バス2506に接続されており、CPU2501からアドレスバス2504、データバス2505、制御信号バス2506を介してメインメモリ2502、I/O装置2503、液晶ドライバ2405をアクセスすることができる。CPU2501から出力されるロウアドレス、カラムアドレスはアドレスバス2504を介して液晶ドライバ2405に転送される。それに同期して、メモリ制御信号RAS、CAS等もCPU2501から出力され、制御信号バス2506を介して液晶ドライバ2405に転送される。液晶ドライバ2405に転送されたアドレスは液晶ドライバ2405内のアドレス制御回路2408でメモリマップに対応したアドレスに変換される。ここで、図27、28、29、30、31を用いて、メモリマップとアドレス変換について説明する。

【0094】図27は、第2の実施例におけるCPU、液晶ドライバそれぞれから見た画面のメモリマップを示す。

【0095】図27に示すように320画素×240ラインの画面を1アドレス4画素で割り付けると、CPU2501から見た画面のメモリマップは、16進表示を用いて表すと1ライン目では00000Hから0003BHとなり、2ライン目では00100Hから0013BHとなり、320ライン目では13F00Hから13F3BHとなる。ここで、ラインとラインの境目でアドレスに飛びが生じるのは、アドレスの制御を容易にするためアドレスの下位8ビットをX方向アドレス、上位10ビットをY方向アドレスとしたためである。これに対し、液晶ドライバ2405-1、2405-2から見たメモリマップは内蔵するメモリセル2425のメモリマップとなるためCPU2501から見た画面のメモリマップとは異なり、メモリセル2425のアドレスの下位6ビットをロウ方向アドレス、上位8ビットをカラム方向アドレスとすることで液晶ドライバ2405-1、2405-2ともに、1ライン目では0000Hから003BHとなり、2ライン目では0040Hから007BHとなり、160ライン目では27C0Hから27FBHとなる。その結果、CPU2501から転送されるアドレスをそのまま用いると液晶ドライバ2405-1、2405-2に内蔵するメモリセル2425のアドレス指定が正しく行われないことになるため、アドレス制御回路2408においてアドレス変換を行う必要がある。そこで、アドレス制御回路2408において、X方向アドレス8ビットをロウ方向アドレス6ビット、Y方向アドレス10ビットをカラム方向アドレス8ビットにアド

レス変換を行う必要がある。アドレス制御回路2408でX方向アドレス8ビットをロウ方向アドレス6ビット、Y方向アドレス10ビットをカラム方向アドレス8ビットに変換することで、CPU2501から見たアドレス00000Hから0003BHをメモリセル2425のアドレス0000Hから003BH、同様に09F00Hから09F3BHを27C0Hから27FBH、同様に0A000Hから0A03BHを0000Hから003BH、同様に13F00Hから13F3BHを27C0Hから27FBHに変換するアドレス変換を行うことでメモリセル2425のメモリマップに対応させることができアドレスの指定を正しく行うことができる。

【0096】第1の実施例と同様に、複数の液晶ドライバ2405の液晶パネルに対する配置構成位置をアドレスモード信号で設定することでアドレス変換を次のように行う。

【0097】図10に示すように、第1の実施例の場合と同様に、液晶ドライバ2405には、その配置位置に応じて決まるアドレスモード信号MODEA2、MODEA1、MODEA0の3ビットの制御信号が外部から入力され、これをデコードすることでドライバIDが0から7までの8通りのIDを設定することができる。図28、図29、図30、図31に液晶パネルの解像度が水平240×垂直160、水平240×垂直320、水平480×垂直320、水平480×垂直640の場合の液晶ドライバの構成とドライバIDを示す。図24、図25の液晶ディスプレイシステムの場合、液晶ドライバ2405-1のアドレスモード信号線2406はMODEA2、A1、A0="000"（ドライバID=0）、液晶ドライバ2405-2のアドレスモード信号線2407はMODEA2、A1、A0="010"（ドライバID=2）になるように設定する。つまり、アドレスモード信号線の設定で、その液晶ドライバの配置位置に対応したアドレス制御に切り換えることにより、メモリセル2425に対して正しいアドレス指定を行うことができる。

【0098】さらに、アドレスモード信号線と入力されるアドレスとから、その液晶ドライバ自身に対するアクセスか否か判定し液晶ドライバ内部でチップセレクト信号を生成することにより、CPUが複数の液晶ドライバ2405をアクセスすることができる。図24、図25の液晶ディスプレイシステムの場合、液晶ドライバ2405-1のアドレスモード信号線2406はMODEA2、A1、A0="000"（ドライバID=0）、液晶ドライバ2405-2のアドレスモード信号線2407はMODEA2、A1、A0="010"（ドライバID=2）になるように設定することにより、CPUからアドレス"09F00H"が指定された場合、液晶ドライバ2405-1は内部でチップセレクト信号を生成しそのアクセスを実行し、CPUからアドレス"0A0

00H”が指定された場合、液晶ドライバ2405-2は内部でチップセレクト信号を生成しそのアクセスを実行する。

【0099】次に、図26を用いて株式会社日立製作所H8シリーズのようにDRAMインタフェースを備えないCPUを使用した場合の本実施例の液晶ドライバを用いたパソコン、ワークステーション等の液晶ディスプレイシステムについて説明する。

【0100】図26に示すように、CPU2601、メインメモリ2602、I/O装置2603、メモリコントローラ2607はアドレスバス2604、データバス2605、制御信号バス2606に接続されており、CPU2601からアドレスバス2604、データバス2605、制御信号バス2606を介してメインメモリ2602、I/O装置2603、メモリコントローラ2607をアクセスすることができる。CPU2601から出力されるアドレスはアドレスバス2604を介してメモリコントローラ2607に転送されラッチされる。それに同期して、制御信号もCPU2601から出力され、制御信号バス2606を介してメモリコントローラ2607に転送される。メモリコントローラ2607では、アドレスバス2604、制御信号バス2606から入力されたアドレスと制御信号から、ロウアドレス、カラムアドレスとメモリ制御信号RAS、CAS等をアドレスデータバス2608、制御信号バス2610にタイミングを合わせて出力し、液晶ドライバ2405にアクセスする。以後、液晶ドライバ2405の動作については、図25に示した液晶ディスプレイシステムと同様である。

【0101】以上説明した実施例では、メモリセル125のメモリインタフェースとして、DRAMインタフェースを用いたが、SRAMインタフェースを用いることも可能である。SRAMインタフェースでは、X座標値を示すアドレスとY座標値を示すアドレスとを同時にアドレスバス上に転送するので、DRAMインタフェースを用いた場合に比べてアドレスバスの線数は増加するが、CPUの2サイクルでメモリのアクセスが可能となるため描画速度が向上する。

【0102】図39および図40に、本実施例のメモリリードサイクルおよびメモリライトサイクルを表わすタイミング図をそれぞれ示す。このようなタイミングを実現するために、液晶ドライバの構成としては、図1の構成において、アドレスバス101、アドレス制御回路108、タイミング制御回路109の構成を変更する必要がある。

【0103】本実施例の液晶ドライバの動作は、CPUからのメモリアクセス時には、X座標値を示すアドレスとY座標値を示すアドレスとを同時にアドレスバスから得られ、図39、図40のタイミングにしたがってリード/ライトが行なわれる。表示動作については、図1の

実施例と同様である。

【0104】図39を用いて、本実施例のメモリリードサイクルについて説明する。アドレスはアドレスバス101から入力され、アドレス制御回路108でアドレス変換が行なわれ、メモリセル125のロウアドレス、カラムアドレスが指定される。CS信号は、液晶ドライバ全体を選択するチップセレクト信号であり、制御信号バス103から受けるCS信号およびアウトプットイネーブル(OE)信号が共にアクティブ(ローレベル)になった期間に、リードデータが出力される。

【0105】図40を用いてメモリライトサイクルについて説明する。アドレスがアドレスバスから入力され、アドレス変換によりメモリセル125のロウアドレス、カラムアドレスが指定されるまではリードサイクルと同じである。ライトサイクルでは、制御信号バスから受けたCS信号およびライトイネーブル信号(WE)が共にアクティブ(ローレベル)になった期間にライトデータが書き込まれる。

【0106】このように、日立製作所「日立ICメモリデータブック1」に記載されているような汎用SRAMアクセスサイクルをサポートすることにより、本液晶ドライバを用いた液晶ディスプレイシステムを容易に構成することができる。

【0107】また、第1の実施例と同様に、ラッチ137、139を2段設け、それぞれのラッチ信号を制御することにより、描画アクセスと表示アクセスとが重なる場合でも、それぞれのアクセスを正常に行なうことができる。このため、CPUからの描画アクセスは、表示アクセスによる制限を受けることなく、常に実行することができる。

【0108】本実施例においても、メモリセルのメモリ容量、出力数、階調数は上述のものに限定されない。また、図32に示したメモリセル構成を採用することにより、表示画面に対して液晶ドライバをそのY軸側に配置することも可能である。

【0109】次に、本発明の液晶ディスプレイを用いた携帯型情報機器としての本発明の他の実施例について、図33から図37を用いて説明する。本発明の液晶ディスプレイは、低消費電力であるためバッテリー駆動を行う携帯型情報機器に搭載するのに最適である。

【0110】図33は、画面サイズ4インチから6インチ程度の解像度240画素×320ラインの縦長の液晶パネル(図29に対応)を用いた携帯型情報機器の実施例で、3301は携帯型情報機器、3302はペン入力タブレット一体型、解像度240画素×320ラインの液晶ディスプレイで、第2の実施例で示したように液晶ドライバは縦置き構成である。3303は各種ファンクションキー、3304はコマンド又はメニューキー、3305は実行キーである。ペン入力とキー操作により、電話番号、住所等のデータベースの検索やワードプロセ

ッサ等の機能を実現できる。

【0111】図34は画面サイズ8インチから10インチ程度の解像度640画素×480ラインの横長の液晶パネル（図14に対応）を用いた携帯型情報機器の実施例で、3401は携帯型情報機器、3402は解像度640画素×480ラインの液晶ディスプレイで、第1の実施例で示したように液晶ドライバは横置き構成である。3403は各種ファンクションキー、3404はキーである。キー操作により、電話番号、住所等のデータベースの検索やワードプロセッサ、パーソナルコンピュータ等の機能を実現できる。

【0112】図35は、画面サイズ4インチから6インチ程度の解像度320画素×240ラインの横長の液晶パネル（図12に対応）を2枚用いた携帯型情報機器の実施例で、3501は携帯型情報機器、3502は解像度320画素×240ラインの液晶ディスプレイで、第1の実施例で示したように液晶ドライバは横置き構成である。3503はペン入力タブレット一体型、解像度320画素×240ラインの液晶ディスプレイで、第1の実施例で示したように液晶ドライバは横置き構成である。3504はペン入力の各種ファンクションキーである。ペン入力操作により、電話番号、住所等のデータベースの検索やワードプロセッサ等の機能を実現できる。

【0113】図36は、画面サイズ2インチから3インチ程度の解像度240画素×160ラインの横長の液晶パネル（図28に対応）を用いた携帯型情報機器の実施例で、3601は携帯型情報機器、3602は解像度240画素×160ラインの液晶ディスプレイで、第2の実施例で示したように液晶ドライバは縦置き構成である。3603はファンクションキー、3604はキーである。キー操作により、電話番号、住所等のデータベースの検索やワードプロセッサ等の機能を実現できる。

【0114】図37は、画面サイズ4インチから6インチ程度の解像度320画素×240ラインの横長の液晶パネル（図12に対応）を用いた携帯型情報機器の実施例で、3701は携帯型情報機器、3702はペン入力タブレット一体型、解像度320画素×240ラインの液晶ディスプレイで、第1の実施例で示したように液晶ドライバは横置き構成である。3703はファンクションキー、3704はコマンド又はメニューキー、3705は実行キーである。ペン入力とキー操作により、電話番号、住所等のデータベースの検索やワードプロセッサ等の機能を実現できる。

【0115】

【発明の効果】本発明の液晶ドライバによれば、1水平期間に1回の表示アクセスで液晶パネルに表示データに対応した液晶印加電圧を生成、出力し表示が出来るので、液晶ディスプレイを含む表示システム全体の低消費電力化が図れる。

【0116】また、本発明の液晶ドライバによれば、表

示アクセスの制限無く常に描画アクセスを実行することが可能なため、高速描画が実現できる。

【0117】CPUアドレスをメモリアドレスに変換するアドレス変換手段を採用することにより、液晶ドライバを複数個用いて構成した場合でも、X方法、Y方向ともに、CPUからみた表示メモリのアドレスをリニアにすることができ、描画のためのアドレス演算が容易になる。

【0118】更に、本発明の液晶ドライバによれば、汎用のメモリインタフェースを有することからシステムが、本液晶ドライバを汎用メモリとして使用することが出来るので、使い勝手が良くなる。

【0119】また、液晶ドライバがCPUのアドレスバスとデータバスに接続され、CPUが直接、液晶ドライバ内蔵の表示メモリをアクセスすることができるため、メモリアccessの制御回路を削減することができる。

【0120】更にまた、本発明の液晶ドライバによれば、階調機能を内蔵することにより、階調のついた見やすい画面を構成できる。

【0121】また、本発明の液晶ドライバによれば、液晶パネルの横方向に液晶ドライバを配置する構成にしたときも、液晶パネルの縦方向に液晶ドライバを配置する構成にしたときにも、システムから見たビットマップが同一アドレス上のデータの各ビットが液晶パネルの横方向に並ぶ構成になることから、液晶ドライバの横方向、縦方向の配置構成に対応してシステムのアドレス/データ管理を変更せずに使用できるため、描画アクセスを高速に行うことができる。

【0122】また、本発明によれば、複数の液晶ドライバを用いることが出来るので、小画面から大画面の各種解像度の液晶パネルも駆動することが出来る。

【図面の簡単な説明】

【図1】本発明のメモリ内蔵液晶ドライバを使用した第1の実施例の液晶ディスプレイ構成図である。

【図2】従来の液晶ディスプレイ構成図である。

【図3】図2に記載した液晶ディスプレイを用いたパーソナルコンピュータの構成図である。

【図4】図3に記載したシステムにおいて、表示メモリ307のアクセスを示すタイミングチャートである。

【図5】従来の液晶ドライバの動作タイミングチャート図である。

【図6】従来のメモリ内蔵液晶ドライバを用いた液晶ディスプレイ構成図である。

【図7】本発明の液晶ドライバを用いた第1の実施例の液晶ディスプレイシステム構成図である。

【図8】本発明の液晶ドライバを用いた第1の実施例の液晶ディスプレイシステム構成図である。

【図9】第1の実施例の液晶ディスプレイシステムのCPUから見た画面メモリマップと、ドライバから見たドライバメモリマップである。

【図10】液晶ドライバのアドレスモードを示す説明図である。

【図11】第1の実施例の液晶ディスプレイでの液晶ドライバの構成図である。

【図12】第1の実施例の液晶ディスプレイでの液晶ドライバの構成図である。

【図13】第1の実施例の液晶ディスプレイでの液晶ドライバの構成図である。

【図14】第1の実施例の液晶ディスプレイでの液晶ドライバの構成図である。

【図15】メモリリードサイクルを示すタイミング図である。

【図16】メモリアーリライトサイクルを示すタイミング図である。

【図17】メモリディレイドライトサイクルを示すタイミング図である。

【図18】メモリリードモディファイライトサイクルを示すタイミング図である。

【図19】メモリページモードリードサイクルを示すタイミング図である。

【図20】メモリページモードアーリライトサイクルを示すタイミング図である。

【図21】メモリページモードディレイドライトサイクルを示すタイミング図である。

【図22】表示、描画アクセスを示すタイミング図である。

【図23】表示、描画アクセスを示すタイミング図である。

【図24】本発明のメモリ内蔵液晶ドライバを使用した第2の実施例の液晶ディスプレイ構成図である。

【図25】本発明の液晶ドライバを用いた第2の実施例の液晶ディスプレイシステム構成図である。

【図26】本発明の液晶ドライバを用いた第2の実施例の液晶ディスプレイシステム構成図である。

【図27】第2の実施例の液晶ディスプレイシステムのCPUから見た画面メモリマップと、ドライバから見たドライバメモリマップである。

【図28】第2の実施例の液晶ディスプレイでの液晶ドライバの構成図である。

【図29】第2の実施例の液晶ディスプレイでの液晶ドライバの構成図である。

【図30】第2の実施例の液晶ディスプレイでの液晶ドライバの構成図である。

【図31】第2の実施例の液晶ディスプレイでの液晶ドライバの構成図である。

【図32】第2の実施例のメモリセル詳細ブロック図で

ある。

【図33】本発明のメモリ内蔵液晶ドライバを用いた携帯型情報機器の外観図である。

【図34】本発明のメモリ内蔵液晶ドライバを用いた携帯型情報機器の外観図である。

【図35】本発明のメモリ内蔵液晶ドライバを用いた携帯型情報機器の外観図である。

【図36】本発明のメモリ内蔵液晶ドライバを用いた携帯型情報機器の外観図である。

【図37】本発明のメモリ内蔵液晶ドライバを用いた携帯型情報機器の外観図である。

【図38】液晶ドライバをY軸側に配置する場合のメモリアドレスとビットマップの関係を示す説明図である。

【図39】SRAMインタフェースを用いた本発明の他の実施例におけるメモリリードサイクルを示すタイミング図である。

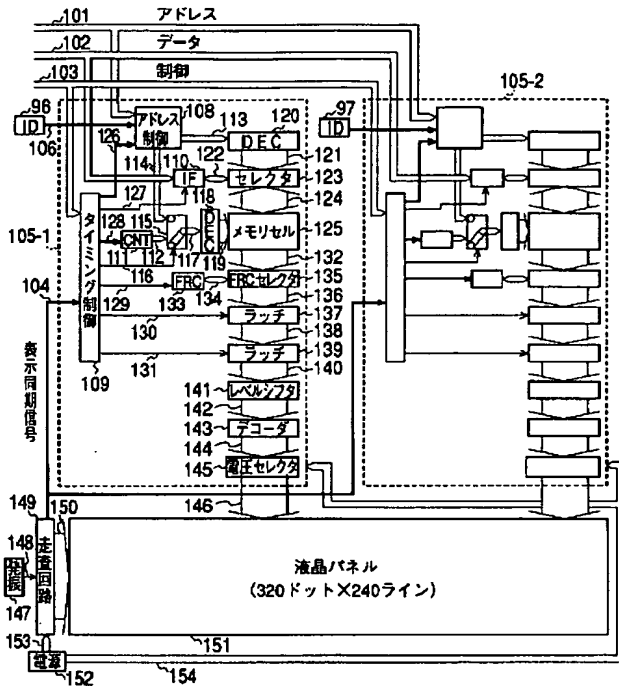
【図40】SRAMインタフェースを用いた本発明の他の実施例におけるメモリライトサイクルを示すタイミング図である。

#### 【符号の説明】

101…アドレスバス、 102…データバス、 103…制御信号バス、 104…表示同期信号、 105…液晶ドライバ、 106…アドレスモード信号線、 107…アドレスモード信号線、 108…アドレス制御回路、 109…制御信号バス、 110…インタフェース回路、 111…表示アドレスカウンタ、 112…表示アドレスバス、 113…カラムアドレス、 114…ロウアドレス、 115…セクタ、 116…制御信号、 117…メモリロウアドレス、 118…ロウアドレスデコーダ、 119…選択信号バス、 120…カラムアドレスデコーダ、 121…選択信号バス、 122…データバス、 123…セクタ、 124…信号線バス、 125…メモリセル、 126…制御信号、 127…制御信号、 128…制御信号、 129…制御信号、 130…制御信号、 131…制御信号、 132…データバス、 133…FRCパターン生成回路、 134…FRCデータバス、 135…FRCセクタ、 136…データバス、 137…ラッチ回路、 138…データバス、 139…ラッチ回路、 140…データバス、 141…レベルシフタ、 142…データバス、 143…デコーダ、 144…選択信号バス、 145…電圧セクタ、 146…出力電圧線、 147…発振器、 148…基準クロック、 149…走査回路、 150…走査信号バス、 151…液晶パネル、 152…電源回路、 153…駆動電圧線、 154…電圧線

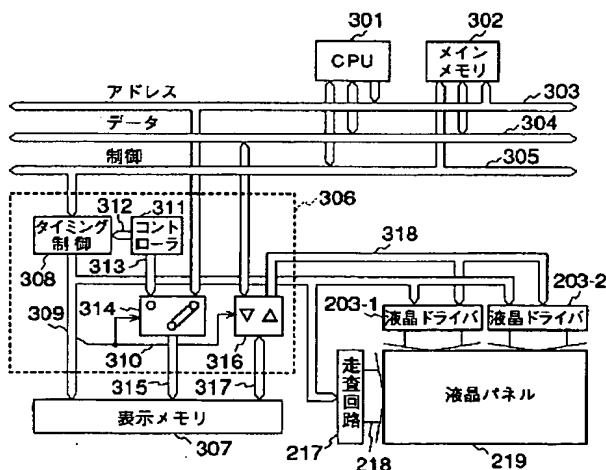
【図 1】

本発明の液晶ドライバを用いた液晶ディスプレイの構成図 (図 1)



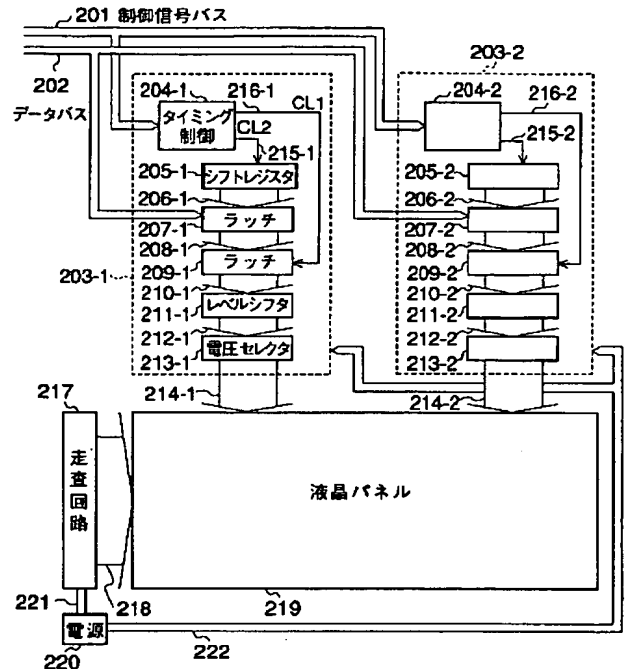
【図 3】

図 2 に記載した液晶ディスプレイを用いたパーソナルコンピュータのシステム構成図 (図 3)



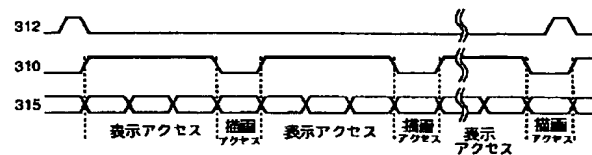
【図 2】

従来の液晶ディスプレイ構成図 (図 2)



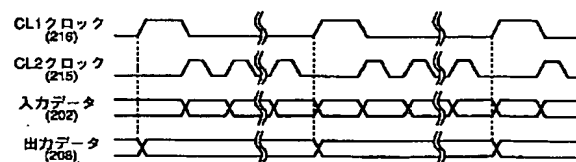
【図 4】

表示メモリ 307 のアクセスを示すタイミング図 (図 4)



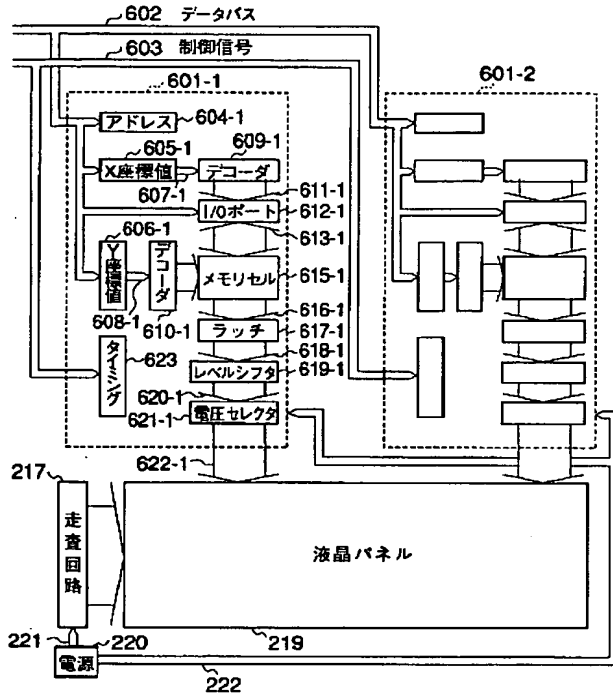
【図 5】

液晶ドライバ 203 の動作を示すタイミング図 (図 5)



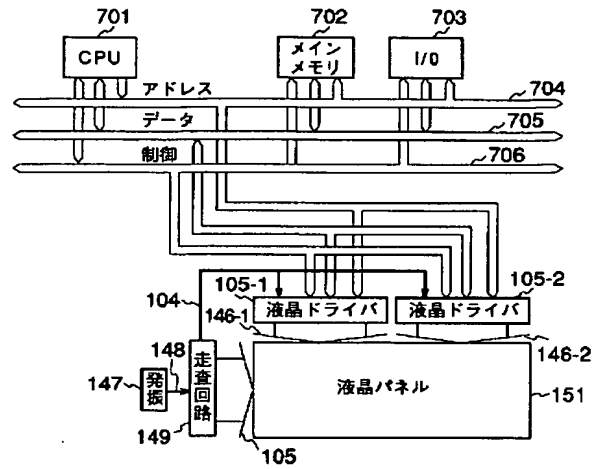
【図6】

従来の表示メモリを内蔵した液晶ドライバ構成図 (図6)



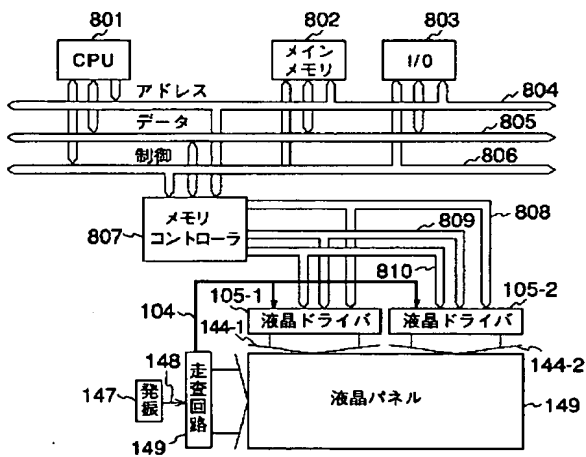
【図7】

図1の実施例の液晶ディスプレイのシステム構成図 (図7)



【図8】

図1の実施例の液晶ディスプレイのシステム構成図 (図8)



【図9】

CPUから見た画面メモリマップと  
液晶ドライバから見たメモリマップ (図9)

(a) CPUから見た画面メモリマップ

液晶ドライバ				液晶ドライバ			
0000H	0001H	0002H	0003H	0004H	0005H	0006H	0007H
0008H	0009H	000AH	000BH	000CH	000DH	000EH	000FH
0010H	0011H	0012H	0013H	0014H	0015H	0016H	0017H
0018H	0019H	001AH	001BH	001CH	001DH	001EH	001FH
0020H	0021H	0022H	0023H	0024H	0025H	0026H	0027H
0028H	0029H	002AH	002BH	002CH	002DH	002EH	002FH
0030H	0031H	0032H	0033H	0034H	0035H	0036H	0037H
0038H	0039H	003AH	003BH	003CH	003DH	003EH	003FH
0040H	0041H	0042H	0043H	0044H	0045H	0046H	0047H
0048H	0049H	004AH	004BH	004CH	004DH	004EH	004FH
0050H	0051H	0052H	0053H	0054H	0055H	0056H	0057H
0058H	0059H	005AH	005BH	005CH	005DH	005EH	005FH
0060H	0061H	0062H	0063H	0064H	0065H	0066H	0067H
0068H	0069H	006AH	006BH	006CH	006DH	006EH	006FH
0070H	0071H	0072H	0073H	0074H	0075H	0076H	0077H
0078H	0079H	007AH	007BH	007CH	007DH	007EH	007FH
0080H	0081H	0082H	0083H	0084H	0085H	0086H	0087H
0088H	0089H	008AH	008BH	008CH	008DH	008EH	008FH
0090H	0091H	0092H	0093H	0094H	0095H	0096H	0097H
0098H	0099H	009AH	009BH	009CH	009DH	009EH	009FH
00A0H	00A1H	00A2H	00A3H	00A4H	00A5H	00A6H	00A7H
00A8H	00A9H	00AAH	00ABH	00ACH	00ADH	00AEH	00AFH
00B0H	00B1H	00B2H	00B3H	00B4H	00B5H	00B6H	00B7H
00B8H	00B9H	00BAH	00BBH	00BCH	00BDH	00BEH	00BFH
00C0H	00C1H	00C2H	00C3H	00C4H	00C5H	00C6H	00C7H
00C8H	00C9H	00CAH	00CBH	00CCH	00CDH	00CEH	00CFH
00D0H	00D1H	00D2H	00D3H	00D4H	00D5H	00D6H	00D7H
00D8H	00D9H	00DAH	00DBH	00DCH	00DDH	00DEH	00DFH
00E0H	00E1H	00E2H	00E3H	00E4H	00E5H	00E6H	00E7H
00E8H	00E9H	00EAH	00EBH	00ECH	00EDH	00EEH	00EFH
00F0H	00F1H	00F2H	00F3H	00F4H	00F5H	00F6H	00F7H
00F8H	00F9H	00FAH	00FBH	00FCH	00FDH	00FEH	00FFH

(b) 液晶ドライバから見たメモリマップ

液晶ドライバ				液晶ドライバ			
0000H	0001H	0002H	0003H	0004H	0005H	0006H	0007H
0008H	0009H	000AH	000BH	000CH	000DH	000EH	000FH
0010H	0011H	0012H	0013H	0014H	0015H	0016H	0017H
0018H	0019H	001AH	001BH	001CH	001DH	001EH	001FH
0020H	0021H	0022H	0023H	0024H	0025H	0026H	0027H
0028H	0029H	002AH	002BH	002CH	002DH	002EH	002FH
0030H	0031H	0032H	0033H	0034H	0035H	0036H	0037H
0038H	0039H	003AH	003BH	003CH	003DH	003EH	003FH
0040H	0041H	0042H	0043H	0044H	0045H	0046H	0047H
0048H	0049H	004AH	004BH	004CH	004DH	004EH	004FH
0050H	0051H	0052H	0053H	0054H	0055H	0056H	0057H
0058H	0059H	005AH	005BH	005CH	005DH	005EH	005FH
0060H	0061H	0062H	0063H	0064H	0065H	0066H	0067H
0068H	0069H	006AH	006BH	006CH	006DH	006EH	006FH
0070H	0071H	0072H	0073H	0074H	0075H	0076H	0077H
0078H	0079H	007AH	007BH	007CH	007DH	007EH	007FH
0080H	0081H	0082H	0083H	0084H	0085H	0086H	0087H
0088H	0089H	008AH	008BH	008CH	008DH	008EH	008FH
0090H	0091H	0092H	0093H	0094H	0095H	0096H	0097H
0098H	0099H	009AH	009BH	009CH	009DH	009EH	009FH
00A0H	00A1H	00A2H	00A3H	00A4H	00A5H	00A6H	00A7H
00A8H	00A9H	00AAH	00ABH	00ACH	00ADH	00AEH	00AFH
00B0H	00B1H	00B2H	00B3H	00B4H	00B5H	00B6H	00B7H
00B8H	00B9H	00BAH	00BBH	00BCH	00BDH	00BEH	00BFH
00C0H	00C1H	00C2H	00C3H	00C4H	00C5H	00C6H	00C7H
00C8H	00C9H	00CAH	00CBH	00CCH	00CDH	00CEH	00CFH
00D0H	00D1H	00D2H	00D3H	00D4H	00D5H	00D6H	00D7H
00D8H	00D9H	00DAH	00DBH	00DCH	00DDH	00DEH	00DFH
00E0H	00E1H	00E2H	00E3H	00E4H	00E5H	00E6H	00E7H
00E8H	00E9H	00EAH	00EBH	00ECH	00EDH	00EEH	00EFH
00F0H	00F1H	00F2H	00F3H	00F4H	00F5H	00F6H	00F7H
00F8H	00F9H	00FAH	00FBH	00FCH	00FDH	00FEH	00FFH



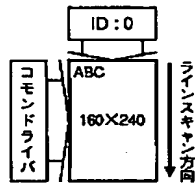
【図10】

液晶ドライバアドレスモード(図10)

MODEA2	MODEA1	MODEA0	ドライバID
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

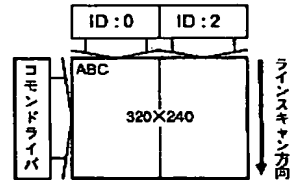
【図11】

液晶ドライバ構成図(図11)



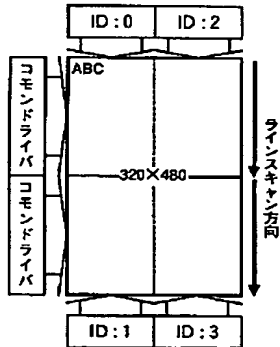
【図12】

液晶ドライバ構成図(図12)



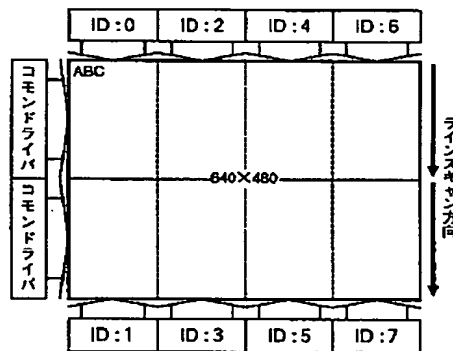
【図13】

液晶ドライバ構成図(図13)



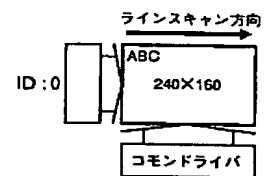
【図14】

液晶ドライバ構成図(図14)



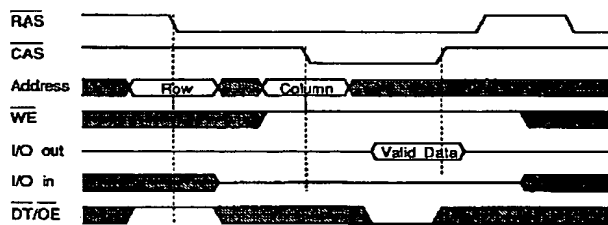
【図28】

液晶ドライバ構成図(図28)



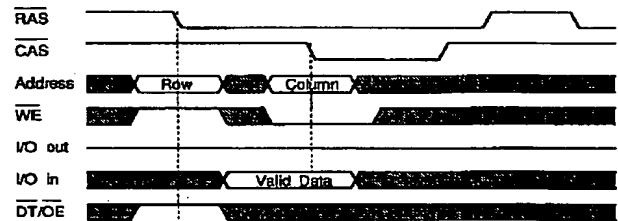
【図15】

メモリードサイクルを示すタイミング図(図15)



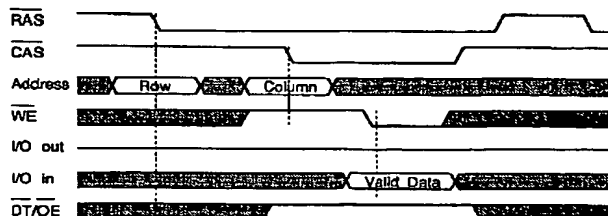
【図16】

メモリアーライトサイクルを示すタイミング図(図16)



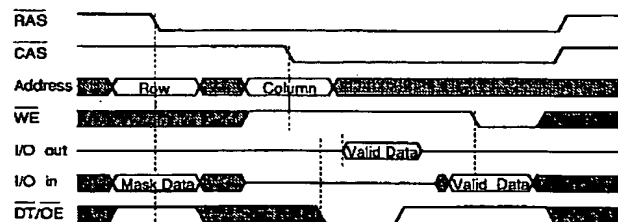
【図17】

メモリエイドライトサイクルを示すタイミング図(図17)



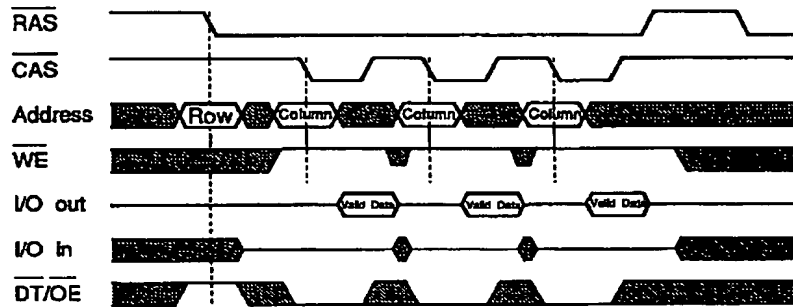
【図18】

メモリードモディファイライトサイクルを示すタイミング図(図18)



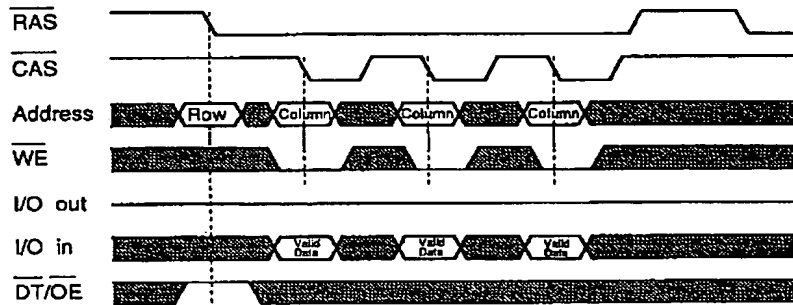
【図19】

メモリページモードリードサイクルを示すタイミング図(図19)



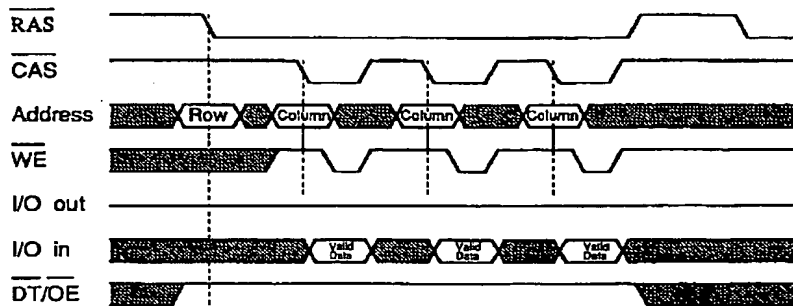
【図20】

メモリページモードアークライトサイクルを示すタイミング図(図20)



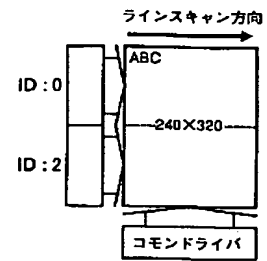
【図21】

メモリページモードディレイドライトサイクルを示すタイミング図(図21)



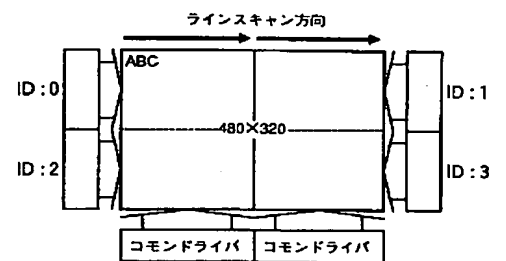
【図29】

液晶ドライバ構成図(図29)



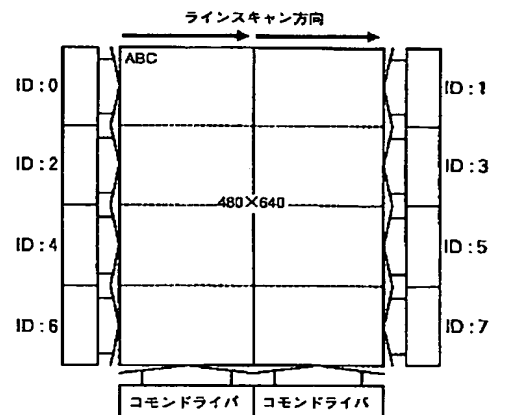
【図30】

液晶ドライバ構成図(図30)



【図31】

液晶ドライバ構成図(図31)

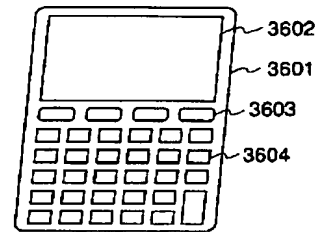


【図 2 2】

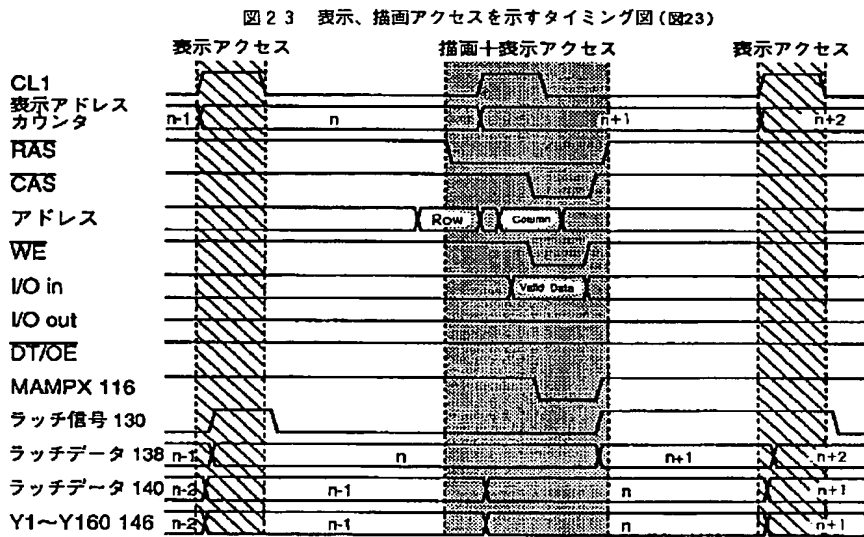


【図 3 6】

携帯型情報機器の外観図 (図 3 6)

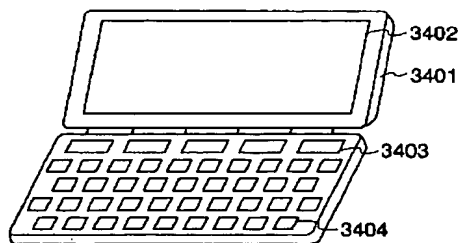


【図 2 3】



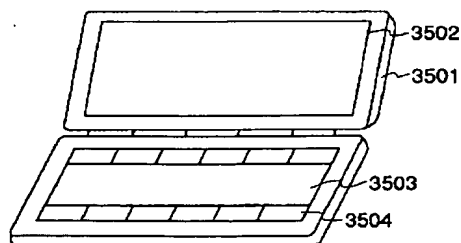
【図 3 4】

携帯型情報機器の外観図 (図 3 4)



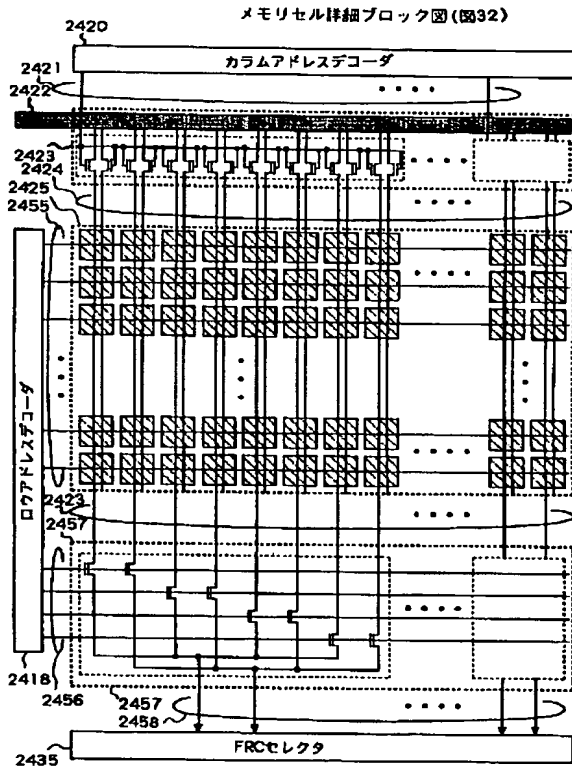
【図 3 5】

携帯型情報機器の外観図 (図 3 5)



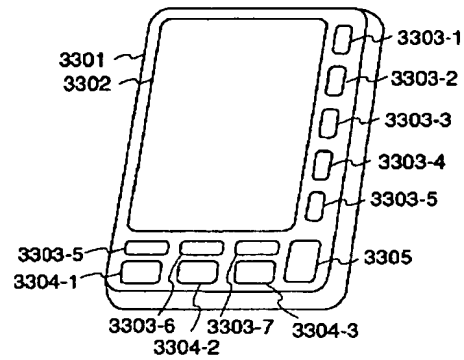


【図32】



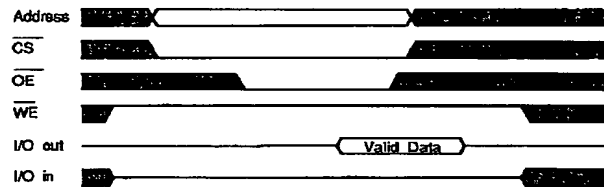
【図33】

携帯型情報機器の外観図(図33)



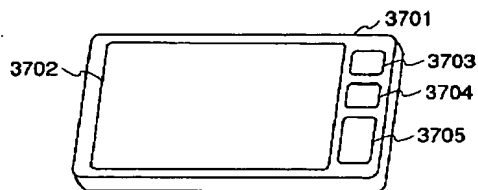
【図39】

メモリアドレスとビットマップ(図38)



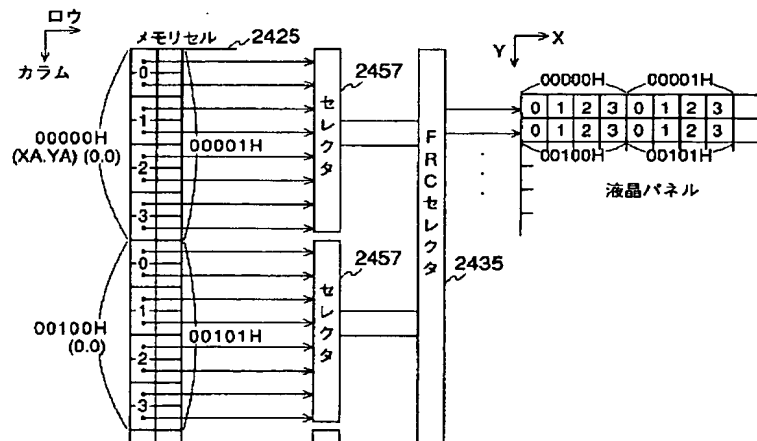
【図37】

携帯型情報機器の外観図(図37)



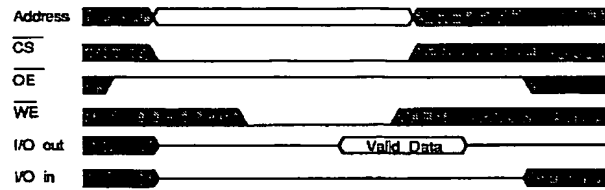
【図38】

Y方向配置の場合のメモリアドレスとビットマップ(図38)



【図40】

メモライトサイクルを示すタイミング図(図40)



---

フロントページの続き

(72)発明者 池田 牧子  
神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立製作所システム開発研究所内

(72)発明者 犬塚 達裕  
神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立画像情報システム内  
(72)発明者 恒川 悟  
東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業部内